

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公報
特開2000-243973
(P2000-243973A)

(43) 公開日 平成12年9月8日(2000.9.8)

(5) InCl ₃	識別番号	P I	フ-1 ⁽³⁾ (P)
H01L 29/78		H01L 29/78	626B 5F032
21/762		27/08	331E 5F048
27/08	331	21/76	D 5F110
		29/78	621

互直請求 未請求 請求項の改訂 OL (全 46 頁)

(2) 出願番号	特開11-177091	(7) 出願人	000000013
(22) 出願日	平成11年6月23日(1999.6.23)	三益電機株式会社	
(31) 優先権主張番号	特開平10-367265	東京府千代田区丸の内二丁目2番3号	
(32) 優先日	平成10年12月24日(1998.12.24)	山口 昌男	
(33) 優先権主張国	日本 (J P)	東京府千代田区丸の内二丁目2番3号 三益電機株式会社内	
		(72) 発明者	前川 昌雄
			東京都千代田区丸の内二丁目2番3号 三益電機株式会社内
		(74) 代理人	100089283
			弁護士 吉田 茂明 (外2名)

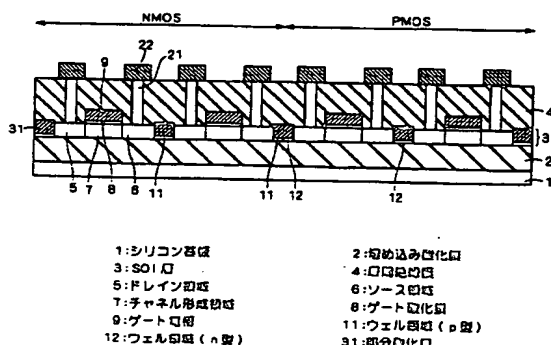
図表頁に続く

(54) (発明の名称) 半導体装置及びその製造方法並びに半導体装置の設計方法

(37) (要約)

【課題】 基板表面効果の低減を図ったSOI構造の半導体装置を得る。

【解決手段】 SOI層3の各トランジスタ形成領域は下部にウエル領域が形成される部分酸化膜31によって分離される。NMOSTランジスタ間を分離する部分酸化膜31の下層にp型のウエル領域11が形成され、PMOSTランジスタ間を分離する部分酸化膜31の下層にn型のウエル領域12が形成され、NMOSTランジスタ、PMOSTランジスタ間を分離する部分酸化膜31の下層にp型のウエル領域11及びn型のウエル領域12が隣接して形成される。ポチー領域は隣接するウエル領域11に接している。両面絶縁膜4上に形成された絶縁層は、両面絶縁膜4中に設けられたポチーコンタクトを介してポチー領域と電気的に接続される。



1

【特許請求の範囲】

【請求項1】 半導体基板、埋め込み絶縁層及びSOI層3からなるSOI構造の半導体装置であって、前記SOI層に設けられ、各々に所定の素子が形成される複数の素子形成領域と、

前記SOI層に設けられ、前記複数の素子形成領域間を絶縁する素子分離領域と、

前記SOI層に設けられ、外部から電位固定可能なポチー領域とを備え、

前記素子分離領域のうち少なくとも一部の領域は、上層SOI層の一部である半導体領域とから構成される部分分離領域を含み、前記半導体領域は、前記複数の素子形成領域のうち少なくとも1つの素子形成領域及び前記ポチー領域と接して形成されることを特徴とする、半導体装置。

【請求項2】 前記複数の素子形成領域は、第1の素子用の複数の第1の素子形成領域と第2の素子用の複数の第2の素子形成領域とを含み、前記素子分離領域は前記SOI層を貫通した完全分離領域を含む完全分離領域をさる含み、前記部分分離領域は第1及び第2の部分分離領域を含み、

前記複数の第1の素子形成領域はそれぞれ前記第1の部分分離領域によって素子分離され、前記複数の第2の素子形成領域はそれぞれ前記第2の部分分離領域によって素子分離され、前記複数の第1の素子形成領域と前記複数の第2の素子形成領域とは前記完全分離領域によって素子分離される、請求項1記載の半導体装置。

【請求項3】 前記複数の素子形成領域は、第1の回路用の複数の素子形成領域と第2の回路用の複数の素子形成領域とを含み、

前記第1の回路用の複数の素子形成領域は前記SOI層を貫通した完全分離領域によって素子分離され、前記第2の回路用の複数の素子形成領域は前記部分分離領域によって素子分離される、請求項1記載の半導体装置。

【請求項4】 前記SOI層は第1及び第2の部分SOI層を含み、前記第1の部分SOI層の厚さは前記第2の部分SOI層の厚さよりも薄く形成され、

前記複数の第1の素子形成領域は前記第1の部分SOI層に形成され、前記複数の第2の素子形成領域は前記第2の部分SOI層に形成される、請求項3記載の半導体装置。

【請求項5】 前記複数の素子形成領域は、所定の回路用素子形成領域と該所定の回路以外の他の回路用素子形成領域とを含み、

前記所定の回路用素子形成領域と前記他の回路用素子形成領域とは前記SOI層を貫通した完全分離領域によって素子分離される、請求項1記載の半導体装置。

【請求項6】 前記複数の素子形成領域のうち、前記部分分離領域によって素子分離された素子形成領域に形成

(2)

特開2000-243973

2

される素子の活性領域の前記SOI層表面から形成される、前記部分分離領域の形成深さより高い請求項1ないし請求項5のうちいずれか1項に記載の半導体装置。

【請求項7】 前記半導体装置はポリシリコン領域を含む、請求項1ないし請求項5のうちいずれか1項に記載の半導体装置。

【請求項8】 前記部分分離領域は誘電体で前記埋め込み絶縁層より低い低誘電率層を含む、請求項1ないし請求項5のうちいずれか1項に記載の半導体装置。

【請求項9】 前記部分分離領域は少なくとも側面に設けられた部分絶縁層とそれ以外の領域に設けられ、誘電率が前記部分絶縁層より低い低誘電率層とを含む、請求項1ないし請求項5のうちいずれか1項に記載の半導体装置。

【請求項10】 前記素子分離領域は複数の素子分離領域を含み、前記複数の素子分離領域の少なくとも1つの領域は所定の形成深さで前記半導体基板の表面に対しほぼ垂直に延びて形成される、請求項1ないし請求項9のうちいずれか1項に記載の半導体装置。

【請求項11】 半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造の半導体装置であって、前記SOI層に設けられ、各々に所定の素子が形成される複数の素子形成領域と、

前記SOI層に設けられ、前記複数の素子形成領域間を絶縁する素子分離領域と、

外部から電位固定可能なポチー領域とを備え、前記ポチー領域は、前記複数の素子形成領域のうち、少なくとも1つの素子形成領域の表面あるいは裏面に接するように形成される、半導体装置。

【請求項12】 前記ポチー領域は、前記埋め込み絶縁層の上層部に形成され、前記少なくとも1つの素子形成領域の裏面に接することを特徴とする、請求項11記載の半導体装置。

【請求項13】 前記ポチー領域は、前記埋め込み絶縁層を貫通して形成され、前記少なくとも1つの素子形成領域の裏面に接することを特徴とする、請求項11記載の半導体装置。

【請求項14】 前記ポチー領域は、前記少なくとも1つの素子形成領域の上面に設けられ、前記少なくとも1つの素子形成領域の裏面に接することを特徴とする、請求項11記載の半導体装置。

【請求項15】 前記素子分離領域のうち少なくとも一部の領域は、前記SOI層を貫通した完全分離領域と前記部分分離領域とが連続して形成される場合分離領域を含む、請求項1記載の半導体装置。

【請求項16】 前記部分分離領域の上面は凹凸なく均一に形成される、請求項15記載の半導体装置。

【請求項17】 前記埋め込み絶縁層の前記半導体領域の厚さは、前記SOI層の厚さの1/2以下に設定される、請求項15記載の半導体装置。

- 【請求項18】 前記複合分離領域において前記完全絶縁領域の形成は前記複合分離領域全体の形成幅の1/2以下に設定される。請求項15記載の半導体装置。
- 【請求項19】 前記素子分離領域は前記SOI層を貫通した完全絶縁領域を有する完全分離領域を含み、前記複数の素子形成領域は互いに隣接して形成される入出力NMOSTランジスタ形成領域及び入出力PMOSTランジスタ形成領域を含み、
- 前記完全分離領域は少なくとも前記入出力NMOSTランジスタ形成領域と前記入出力PMOSTランジスタ形成領域との境界近傍領域に形成される。請求項1記載の半導体装置。
- 【請求項20】 前記素子形成領域は入出力NMOSTランジスタ形成領域あるいは入出力PMOSTランジスタ形成領域と隣接して形成される内部回路形成領域をさらに含む。
- 前記完全分離領域は、前記入出力NMOSTランジスタ形成領域及び前記入出力PMOSTランジスタ形成領域のうち前記内部回路形成領域と隣接配置された領域と前記入回路形成領域との境界近傍領域にさらに形成される。請求項19記載の半導体装置。
- 【請求項21】 前記素子分離領域は前記SOI層を貫通した完全絶縁領域を含む完全分離領域を含み、前記複数の素子形成領域は互いに隣接して形成されるNMOSTランジスタ形成領域及びPMOSTランジスタ形成領域を含む。
- 前記完全分離領域は、前記NMOSTランジスタ形成領域と前記入出力PMOSTランジスタ形成領域との境界近傍の前記PMOSTランジスタ形成領域内である完全分離領域形成箇所形成される。
- 前記部分分離領域は前記NMOSTランジスタ形成領域の周辺領域、及び前記完全分離領域形成箇所を除く前記NMOSTランジスタ形成領域の周辺領域に形成される。請求項1記載の半導体装置。
- 【請求項22】 前記素子分離領域は前記SOI層を貫通した完全絶縁領域を含む完全分離領域を含み、前記複数の素子形成領域はMOSTランジスタ形成領域を含む。
- 前記部分分離領域は前記MOSTランジスタ形成領域のゲート電極の少なくとも一端近傍の部分分離領域形成箇所形成される。
- 前記完全絶縁領域は、前記部分分離領域形成箇所を除く前記MOSTランジスタ形成領域の周辺領域に形成される。請求項1記載の半導体装置。
- 【請求項23】 前記複数の素子形成領域は第1の導電型のランジスタ形成領域を含み、
- 前記部分分離領域は前記ランジスタ形成領域の周囲を囲って形成される周辺部分分離領域を含み、
- 前記ゲート電極は、前記周辺部分分離領域の周囲を囲って形成される周辺部分分離領域を含み、
- 前記部分分離領域は、前記周辺部分分離領域の周囲を囲って形成される第2の導電型の周辺領域を含み、
- 前記第1の部分分離領域は前記MOSTランジスタ形成領域のゲート電極近傍領域を含む。請求項25記載の半導体装置。
- 【請求項24】 前記複数の素子形成領域はMOSTランジスタ形成領域を含み、
- 前記ゲート電極は前記MOSTランジスタ形成領域のソース領域に隣接して形成されるソース隣接ゲート領域を含み、
- 前記ソース領域及び前記ソース隣接ゲート領域は共通接続される電位設定領域をさらに備える。請求項1記載の半導体装置。
- 【請求項25】 前記部分分離領域における半導体領域は第1及び第2の部分半導体領域を前記第2の部分半導体領域の不純物濃度よりも高く設定したことを特徴とする。請求項1記載の半導体装置。
- 【請求項26】 前記第1の部分半導体領域は前記複数の素子形成領域のうち分離対象の素子形成領域に隣接して形成される周辺領域を含み、前記第2の部分半導体領域は前記周辺領域を除く前記半導体領域である中心領域を含む。
- 請求項25記載の半導体装置。
- 【請求項27】 前記複数の素子形成領域はMOSTランジスタ形成領域を含み、
- 前記部分分離領域は前記MOSTランジスタ形成領域の周囲を囲って形成され、
- 前記第1の部分半導体領域は前記MOSTランジスタ形成領域のゲート電極近傍領域を含む。前記第2の部分半導体領域は前記MOSTランジスタ形成領域のドレイン/ソース近傍領域を含む。請求項25記載の半導体装置。
- 【請求項28】 前記複数の素子形成領域は第1の導電型のMOSTランジスタ形成領域を含み、前記部分分離領域は前記半導体領域は第2の導電型の領域を含み、
- 前記部分分離領域における前記半導体領域の不純物濃度のピークが、前記MOSTランジスタ形成領域の前記半導体領域に接して形成されるドレイン/ソース領域の不純物濃度のピークより、前記SOI層の表面からの深さが深くなるように設定される。請求項1記載の半導体装置。
- 【請求項29】 前記複数の素子形成領域はMOSTランジスタ形成領域を含み、
- 前記MOSTランジスタ形成領域のチャネル形成領域の不純物濃度のピークが、前記部分分離領域における前記半導体領域の不純物濃度のピークより、SOI層の表面からの深さが深くなるように設定される。請求項1記載の半導体装置。
- 【請求項30】 前記複合分離領域における半導体領域は、前記完全絶縁領域に隣接して形成される第1の部分半導体領域とそれ以外の前記半導体領域である第2の部分半導体領域とを含む。
- 前記第1の部分半導体領域の不純物濃度を前記第2の部分半導体領域の不純物濃度よりも高く設定したことを特徴とする。請求項15記載の半導体装置。
- 【請求項31】 前記部分分離領域の表面における角部の曲率半径より底面における角部の曲率半径を大きくするように設定したことを特徴とする。請求項1記載の半導体装置。
- 【請求項32】 前記複合分離領域において、前記部分絶縁領域の底面における角部の曲率半径より前記絶縁分離領域と前記部分絶縁領域との間に生じる段差部の曲率半径を小さくしたことを特徴とする。請求項15記載の半導体装置。
- 【請求項33】 前記素子分離領域は前記SOI層を貫通した完全絶縁領域を有する完全分離領域を含み、前記SOI層の上層部のインダクタンス形成領域に形成されるインダクタンス成分をさらに備える。
- 前記完全分離領域は前記インダクタンス形成領域の下方に形成される。請求項1記載の半導体装置。
- 【請求項34】 前記複数の素子形成領域はMOSTランジスタ形成領域を含み、前記素子分離領域は前記MOSTランジスタ形成領域に形成されるMOSTランジスタのゲート電極に電気的に接続されるゲート接続ゲート領域を含む。
- 前記部分分離領域は前記MOSTランジスタ形成領域の周囲を囲って形成される。請求項1記載の半導体装置。
- 【請求項35】 前記半導体領域は第1の導電型の領域を含み、前記素子の活性領域は第2の導電型を含み、前記素子の活性領域の形成深さはドレイン状電時に前記素子の活性領域から伸びる空乏層が前記埋め込み絶縁層に到達しないレベルに設定される。請求項6記載の半導体装置。
- 【請求項36】 前記複数の素子形成領域はフィールドランジスタ形成領域を含み、
- 前記フィールドランジスタ形成領域内に形成されるフィールドランジスタは、
- 互いに独立して形成される第1及び第2の活性領域と、
- 前記第1及び第2の活性領域間に形成され、上層部に設けられたフィールドランジスタ用部分絶縁領域と下層部に存在する前記SOI層の一部であるフィールドランジスタ用半導体領域とから構成されるゲート部とを含む。請求項1記載の半導体装置。
- 【請求項37】 半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造の半導体装置であって、
- 前記SOI層に設けられ、所定の素子が形成される素子形成領域と、
- 前記SOI層に設けられ、前記素子形成領域の周囲を囲って形成される周辺素子分離領域とを備え、前記周辺素子分離領域は、上層部に設けられた部分絶縁領域と下層部に存在する前記SOI層の一部である半導体領域とから構成される部分分離領域を含む。
- 前記半導体領域は少なくとも1つの前記素子形成領域に

- 隣して形成されるとともに、フローティング状態に設定される。半導体装置。
- 【請求項38】 (a)半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造のSOI基板を準備するステップと、
- (b)前記SOI層を選択的に表面から貫通させることなぐ除去して、複数のトレンチを形成するステップとを備え、前記複数のトレンチ間の前記SOI層の領域が複数の素子形成領域となり、
- (c)前記複数のトレンチそれぞれに絶縁層を埋めるステップとをさらに備え、前記複数のトレンチのうち少なくとも1つのトレンチ内の絶縁層と前記少なくとも1つのトレンチの前記SOI層とにより部分分離領域が構成される。
- (d)前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備える。半導体装置の製造方法。
- 【請求項39】 前記複数のトレンチは第1及び第2のトレンチを含み、前記少なくとも1つのトレンチは前記第1のトレンチを含み、
- 前記ステップ(b)の後、ステップ(c)の前に、
- (e)前記第1及び第2のトレンチのうち、前記第2のトレンチの底部から前記SOI層をさらに除去して、前記SOI層を貫通させるステップをさらに備え、
- 前記ステップ(c)によって、前記第1のトレンチ内の絶縁層と前記第2のトレンチの前記SOI層とにより前記部分分離領域が構成され、前記SOI層を貫通した前記第2のトレンチ内の絶縁層により完全分離領域が構成される。請求項38記載の半導体装置の製造方法。
- 【請求項40】 前記第2のトレンチの形成幅は前記第1のトレンチの形成幅より広く、
- 前記ステップ(b)は、
- (b-1)前記第1のトレンチの底面は露けられ、第2のトレンチの底面の中心部は露出する程度に、前記第1及び第2のトレンチそれぞれその側面に隔壁を形成するステップと、
- (b-2)前記隔壁をマスクとして前記第2のトレンチの中心部下部の前記SOI層を貫通させるステップと、を備える。請求項39記載の半導体装置の製造方法。
- 【請求項41】 前記ステップ(b)の後、
- (c)前記複数のトレンチの下方の前記SOI層に不純物を導入して高濃度領域を形成するステップをさらに備える。請求項39あるいは請求項40記載の半導体装置の製造方法。
- 【請求項42】 (a)半導体基板、埋め込み絶縁層及びシリコン層からなるSOI構造のSOI基板を準備するステップと、
- (b)前記シリコン層を選択的に除去し貫通させ貫通部を設けるステップと、
- (c)前記シリコン層の前記貫通部に前記シリコン層の表

面から突出するように第1の絶縁層を埋め込むとともに、前記シリコン層上に第2の絶縁層を選択的に形成するステップと、

(c)前記第2の絶縁層が形成されていない前記シリコン層の表面から上方にかけてエピタキシャル成長させてエピタキシャル成長層を形成するステップとを備え、前記シリコン層と前記エピタキシャル成長層とによりSOI層が構成され、前記第2絶縁層とその下方の前記シリコン層とにより部分分離領域が構成され、前記第1の絶縁層により完全分離領域が構成され、

(e)前記部分分離領域あるいは前記完全分離領域によって素子分離される複数の素子形成領域それぞれに所定のシリコン層を形成するステップをさらに備える。半導体装置の製造方法。

【請求項43】 (a)半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造のSOI基板を準備するステップと、

(b)前記SOI層を選択的に除去して、各々が前記SOI層を貫通した第1及び第2のトレンチからなる複数のトレンチを形成するステップとを備え、前記複数のトレンチ間の前記SOI層の領域が複数の素子形成領域となり、

(c)前記第1及び第2のトレンチのうち、前記第1のトレンチ内の底面及び側面にシリコン層を選択的に堆積するステップと、

(d)前記第1及び第2のトレンチに絶縁層を埋めるステップと、

(e)前記第1のトレンチ内の前記シリコン層を、前記第1のトレンチの開口部から底面方向に部分的に酸化させるステップとをさらに備え、前記第1のトレンチ内の絶縁層と前記第1のトレンチ内に酸化させずに残存した前記シリコン層とにより部分分離領域が構成され、前記第2のトレンチ内の絶縁層により完全分離領域が構成され、

(f)前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備える。半導体装置の製造方法。

【請求項44】 (a)半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造のSOI基板を準備するステップと、

(b)前記SOI層を選択的に除去して複数の素子形成領域を形成するステップと、

(c)前記複数の素子形成領域をマスクしながら、前記埋め込み絶縁層に対して等方性エッチングを施し、前記複数の素子形成領域のうちの少なくとも1つの素子形成領域の端部表面を露出させ、前記埋め込み絶縁層の上層部を除去し上部を形成するステップと、

(d)前記上部をシリコン層で埋め、前記シリコン層を含み、前記少なくとも1つの素子形成領域の端部底面に電気的接続関係を有するボディー領域を形成する

ステップと、

(e)前記SOI層内で前記複数の素子形成領域を絶縁分離するステップと、

(f)前記ボディー領域を外周から電位固定可能にするように、前記複数の素子形成領域それぞれに所定の素子を形成するステップとをさらに備える。半導体装置の製造方法。

【請求項45】 前記ステップ(d)は、

(d-1)前記少なくとも1つの素子形成領域の端部表面からエピタキシャル成長させて、前記上部にエピタキシャル成長層を形成するステップと、

(d-2)前記エピタキシャル成長層に接するように、前記上部を前記シリコン層で埋め、前記エピタキシャル成長層と前記シリコン層とからなる前記ボディー領域を形成するステップと、を備える請求項44記載の半導体装置の製造方法。

【請求項46】 前記ステップ(d)は、

(d-1)前記SOI層の上層部に不純物濃度分布のピークが存在し、かつエピタキシャル成長が生じるように所定の導電型の不純物を導入して前記所定の素子の活性領域を形成するステップを含み、請求項38記載の半導体装置の製造方法。

【請求項47】 (a)半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造のSOI基板を準備するステップと、

(b)前記SOI層を選択的に表面から貫通させて少なくとも1つの第1のトレンチを形成するステップと、

(c)前記SOI層を選択的に表面から貫通させるとなご複数の第2のトレンチを形成するステップとを備え、前記複数の第2のトレンチ間の前記SOI層の領域が複数の素子形成領域となり、前記複数の第2のトレンチは複合トレンチと非貫通トレンチを含み、前記複合トレンチは前記少なくとも1つの第1のトレンチをさらに前記少なくとも1つの第1のトレンチの形成幅より広く形成されることにより、前記第1のトレンチ形成部である貫通部と前記第1のトレンチ形成部以外の非貫通部とからなり、前記非貫通トレンチは前記少なくとも1つの第1のトレンチを含み、非貫通部のみで形成され、

(d)前記複合トレンチ及び非貫通トレンチそれぞれに絶縁層を埋めるステップとをさらに備え、前記複合トレンチの非貫通部の絶縁層及び前記非貫通部下の前記SOI層よりなる部分分離部と前記貫通部の絶縁層よりなる完全分離部とから複合分離領域が構成され、前記非貫通トレンチ内の絶縁層とその下方の前記SOI層とにより部分分離領域が構成され、

(e)前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備える。半導体装置の製造方法。

【請求項48】 半導体基板、埋め込み絶縁層及びSOI層からなり、前記SOI層にCMOSデバイスが形成

される半導体装置の設計方法であって、

(a)ウエル領域内形成される第1の導電型の第1のMOSトランジスタと前記ウエル領域外に形成される第2の導電型の第2のMOSトランジスタとからなるCMOSデバイスの過去データを得るステップと、

(b)前記過去データに基づき第1及び第2のMOSトランジスタの形成領域を設定するステップと、

(c)前記過去データにおける前記ウエル領域の外周近傍領域に、前記SOI層を貫通する完全絶縁領域からなる完全分離領域を設定するステップと、を備える半導体装置の設計方法。

【発明の詳細な説明】

(0001)

【発明の属する技術分野】この発明はSOI構造の半導体装置に関する。

(0002)

【従来の技術】図102に示すように、シリコン基板1、埋め込み酸化膜2及びSOI (Silicon On Insulator) 層からなる従来のSOI構造の半導体装置において、SOI層3中のトランジスタ形成領域は完全酸化膜32によって完全に分離されていた。例えば、NMOSトランジスタ形成領域に形成される1単位のNMOSトランジスタは完全酸化膜32によって他のトランジスタから完全分離されていた。なお、図102の例ではSOI層3上を絶縁絶縁膜4で覆っている。

(0003) 図102において、完全酸化膜32によって他のトランジスタから完全分離される1単位のNMOSトランジスタは、SOI層3中に形成されるレイアウト領域5、ソース領域6、チャネル形成領域7、チャネル形成領域7上に形成されるゲート酸化膜8及びゲート酸化膜8上に形成されるゲート電極9から構成される。また、絶縁絶縁膜4上に形成された配線層22は、絶縁絶縁膜4中に設けられたコンタクト21を介してレイアウト領域5あるいはソース領域6と電気的に接続される。10004) このように、従来のSOI構造の半導体装置は素子 (トランジスタ) 単位でSOI層中に完全分離されているため、PMOS及びNMOSそれぞれのトランジスタ間には完全に分離されたラッチアップが原理的に起こらない構造を呈している。

(0005) 【発明が解決しようとする課題】したがって、SOI構造でCMOSトランジスタを有する半導体装置を製造する場合は、微細加工技術で決まる最小分離幅を使用でき、チップ面積を縮小させるメリットがあった。しかしながら、前記電極現象によって発生するキアリ (NMOSではホール) がチャネル形成領域に溜まり、これによりキアリが発生し、動作前駆が劣化した。また、チャネル形成領域の電位が安定しないために運送時間の局波依存性がある等の基板準位効果により生ずる種々の問題点があった。

(0006) この発明は上記問題点を解決するためになされたもので、基板準位効果の低減を図ったSOI構造の半導体装置を得ることを目的とする。

(0007) 【課題を解決するための手段】この発明に係る請求項1記載の半導体装置は、半導体基板、埋め込み絶縁層及びSOI層3からなるSOI構造を呈しており、前記SOI層に設けられ、各々が所定の素子形成される複数の素子形成領域と、前記SOI層に設けられ、前記複数の素子形成領域間を絶縁素子分離する素子分離領域と、前記SOI層に設けられ、外部から電位固定可能なボディー領域とを備え、上部部に設けられた部分絶縁領域と下部部に存在する部分分離領域とを有する半導体装置とから構成される部分分離領域を含む、前記素子形成領域は、前記複数の素子形成領域のうち少なくとも1つの素子形成領域及び前記ボディー領域と接して形成されている。

(0008) 請求項2記載の半導体装置において、前記複数の素子形成領域は、第1の素子用の複数の第1の素子形成領域と第2の素子用の複数の第2の素子形成領域とを含み、前記素子分離領域は前記SOI層を貫通した完全絶縁領域を含む完全分離領域をさらに含み、前記部分分離領域は第1及び第2の部分分離領域を含み、前記複数の第1の素子形成領域はそれぞれ前記第1の部分分離領域によって素子分離され、前記複数の第2の素子形成領域はそれぞれ前記第2の部分分離領域と前記複数の第2の素子形成領域とは前記完全分離領域によって素子分離される。

(0009) 請求項3記載の半導体装置において、前記複数の素子形成領域は、第1の回路用の複数の素子形成領域と第2の回路用の複数の素子形成領域とを含み、前記第1の回路用の複数の素子形成領域は前記SOI層を貫通した完全分離領域によって素子分離され、前記第2の回路用の複数の素子形成領域は前記部分分離領域によって素子分離されている。

(0010) 請求項4記載の半導体装置において、前記SOI層は第1及び第2の部分SOI層を含み、前記第1の部分SOI層の厚さは前記第2の部分SOI層の厚さよりも厚く形成され、前記複数の第1の素子形成領域は前記第1の部分SOI層に形成され、前記複数の第2の素子形成領域は前記第2の部分SOI層に形成される。

(0011) 請求項5記載の半導体装置において、前記複数の素子形成領域は、所定の回路用素子形成領域と該所定の回路以外の他の回路用素子形成領域とを含み、前記所定の回路用素子形成領域と前記他の回路用素子形成領域とは前記SOI層を貫通した完全分離領域によって素子分離される。

【0093】＜製造方法（その2）（第1及び第2の態様）＞図14～図18は実施の形態2の第1及び第2の態様における製造方法の素子分離工程を示す断面図である。図14～図18で示す方法は部分トレンチ分離と完全トレンチ分離を併用による方法である。

【0094】まず、図14に示すように、シリコン基板1、埋め込み酸化膜2及びシリコン層50からなる積層構造を形成材料とする。この際、シリコン層50は最終的に得られるSOI層3の厚さよりも薄くする。

【0095】そして、図15に示すように、SOI基板1上、酸化膜41と酸化膜42を順次堆積した後、パターンニング処理を行い、シリコン層50の表面が露出するように酸化膜42及び酸化膜41をエッチングして複数の部分トレンチ44を形成する。

【0096】次に、図16に示すように、複数の部分トレンチ44のうち、一部を覆うようにレジスト49を形成し、レジスト49で覆われなかった部分トレンチ44をさらにエッチングすることにより、シリコン層50を貫通させた完全トレンチ48を形成する。

【0097】次に、図17に示すように、酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理により酸化膜42の途中まで研磨し、その後、酸化膜42、酸化膜41の除去を行うことにより、部分酸化膜31及びその下のシリコン層50（ツェル領域）と完全酸化膜32とが選択的に形成された構造を得ることができ、【0098】そして、図18に示すように、シリコン層50からエピタキシャル成長させてエピタキシャルシリコン層51を形成することにより、シリコン層50及びエピタキシャルシリコン層51からなる結晶性の良いSOI層3を得る。

【0098】以下、既存の方法で、NMOSTランジスタ形成領域にNMOSTランジスタを形成し、PMOSTランジスタランジスタ形成領域にPMOSTランジスタを形成することにより、図5で示した第1の態様のSOI構造、あるいは図6で示した第2の態様のSOI構造を得ることができ、

【0100】＜製造方法（その3）（第3の態様）＞図19～図22は実施の形態2の第3の態様の製造方法における素子分離工程を示す断面図である。図19～図22で示す方法は形成層の異なる部分トレンチ形成による方法である。

【0101】まず、図19に示すように、比較的幅の広い部分トレンチ44Aと比較的幅の狭い部分トレンチ44Bとを形成する。部分トレンチ44Aが完全分離用であり、部分トレンチ44Bが部分分離用である。この際、SOI層3の下層の一部が残るように部分トレンチ44A及び44Bは形成される。

【0102】次に図20に示すように、酸化膜47で部分トレンチ44A及び44Bの側面に、部分トレンチ4

4Bの底面は蓋ぐ部分トレンチ44Aの底面中心部が露出するようにサイドウォールを形成する。これは、部分トレンチ44Aの形成幅が部分トレンチ44Aの形成幅より狭いことを利用している。

【0103】次に、図21に示すように、酸化膜47をマスクとして、SOI層3に対するシリコンエッチングを行うことにより、部分トレンチ44Aの底面の中心部下のSOI層3を含む、上部に酸化膜47が形成されていないSOI層3が除去され、埋め込み酸化膜2の表面が露出する。

【0104】次に、図22に示すように、500nm程度の酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理により酸化膜42の途中まで研磨し、その後、酸化膜42、酸化膜41の除去を行うことにより、部分酸化膜31（及びその下のSOI層3）と酸化膜33（及びその一部分のSOI層3）とが選択的に形成された構造を得ることができ、

【0105】以下、既存の方法で、NMOSTランジスタ形成領域にNMOSTランジスタを形成し、PMOSTランジスタランジスタ形成領域にPMOSTランジスタを形成することにより、図7で示した実施の形態2の第3の態様のSOI構造を得ることができ、

【0106】＜製造方法（その4）（第3の態様）＞図23～図27は実施の形態2の第3の態様の製造方法における素子分離工程を示す断面図である。図23～図27で示す方法は形成層の異なる部分トレンチ形成による方法である。

【0107】まず、図23に示すように、シリコン基板1、埋め込み酸化膜2及びSOI層3からなるSOI基板を形成材料とする。

【0108】そして、図24に示すように、比較的幅の広い部分トレンチ44Aと比較的幅の狭い部分トレンチ44Bとを形成する。部分トレンチ44Aが完全分離用であり、部分トレンチ44Bが部分分離用である。この際、SOI層3の下層の一部が残るように部分トレンチ44A及び44Bは形成される。

【0109】次に、図25に示すように、部分トレンチ44B内全体を充填し、部分トレンチ44Aの側壁を覆うように、レジスト49をパターンニングする。したがって、部分トレンチ44Aの底面中心部が露出し、埋め込み酸化膜2の表面が露出する。

【0110】その後、図26に示すように、レジスト49をマスクとして、SOI層3に対するシリコンエッチングを行うことにより、部分トレンチ44Aの底面の中心部下のSOI層3を含む、レジスト49が上部に形成されていないSOI層3が除去され、埋め込み酸化膜2の表面が露出する。

【0111】次に、図27に示すように、酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理により酸化膜42の途中まで研磨し、その後、酸化膜42、

酸化膜41の除去を行うことにより、部分酸化膜31（及びその下のSOI層3）と酸化膜33（及びその下のSOI層3）とが選択的に形成された構造を得ることができ、

【0112】＜製造方法（その5）（第3の態様）＞図58～図62は実施の形態2の第3の態様の製造方法における素子分離工程を示す断面図である。

【0113】まず、図58に示すように、シリコン基板1、埋め込み酸化膜2及びSOI層3からなるSOI基板を形成材料とする。

【0114】そして、図59に示すように、SOI基板1上、酸化膜41と酸化膜42を順次堆積した後、パターンニングしたレジスト213をマスクとして分離領域の表面が露出するように酸化膜42、酸化膜41及びSOI層3をエッチングにより貫通して複数のトレンチ214を形成する。

【0115】次に、図60に示すように、既存した酸化膜42上に選択的にレジスト215を形成する。この際、複数のトレンチ214それぞれを含みトレンチ214の形成幅より広い領域が開口部となるようにレジスト215を形成する。

【0116】そして、図61に示すように、レジスト215をマスクとして酸化膜42及び酸化膜41とSOI層3の一部とをエッチングすることにより、下層にSOI層3が残存した部分トレンチ216と、中心部の下層にSOI層3を貫通した貫通部とそれ以外の下層にSOI層3が残存した非貫通部とからなる複合トレンチ217とを同時に形成する。

【0117】その後、図62に示すように、HDP（高密度プラズマ）CVD法等によって酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理により酸化膜42の途中まで研磨し、その後、酸化膜42、酸化膜41の除去を行うことにより、部分酸化膜31（及びその下のSOI層3）と酸化膜33（及びその一部分のSOI層3）とが選択的に形成された構造を得ることができ、

【0118】＜製造方法（その6）（第3の態様）＞製造方法の概略例として、部分分離による素子分離されたランジスタのゲート電極形成後、あるいはコンタクトや配線工程などの後工程に実施段階で、部分分離領域をSOI層3を貫通するようにエッチング除去し、その後、酸化膜を生か込み完全分離領域に実装することも可能である。

【0119】＜その他＞上記実施の形態2の製造方法は、トレンチ分離法としてSiN/SiO₂/SiO₂の積層をSOI層上に形成して、素子分離用の酸化膜の埋め込みを行ったため、他の方法、SiN/SiO₂の積層に代えて、例えばSiN/polymer-Si/SiO₂による積層を用いて埋め込み後酸化を行い、トレンチの角丸めを

行うなど、より多様な方法を行っても同様な効果を示すことは言うまでもない。

【0120】＜＜実施の形態3＞＞＜第1の態様＞図28はこの発明の実施の形態2であるSOI構造の半導体装置の第1の態様の構造を示す断面図である。

【0121】図28に示すように、集積回路が要求される（部分酸化膜31は下層にウエル領域を形成する関係で完全酸化膜32より集積回路が若干異なる）が基板透過効果の影響の少ない回路（第1の回路）の形成領域を完全酸化膜32を用いた完全分離構造にし、基板透過効果の影響が問題となる回路（第2の回路）の形成領域には部分酸化膜31及びその下の層のウエル領域11（12）を用いた部分分離構造にし、第1、第2の回路の形成領域間の分離は完全酸化膜32を用いた完全分離構造にしている。

【0122】また、それ以外に第1の回路例として、稠密構造が要求されるSRAM、DRAM等のメモリセル部分の回路、第2の回路例としてメモリセル部分以外の回路がある。

【0123】図28に示すように、第1の回路例としては、内部回路及びデジタル回路等があり、第2の回路回路の例としては、I/Oバッファ回路、フロッグ回路（PLL回路、センスアンプ回路）等がある。さらに、第2の回路例として、タイミング回路、タイマミシング回路等がある。

【0124】このように、実施の形態3の第1の態様は、設けられる回路の基板透過効果の影響度を考慮して、部分酸化膜31による部分分離と完全酸化膜32とによる完全分離とを使い分けることにより、基板透過効果の抑制と集積度の向上をバランスよく行った素子分離構造を得ることができ、

【0125】なお、図28の構造は、実施の形態2の製造方法のその1～その4等を用いて、部分酸化膜31及び完全酸化膜32（酸化膜33）を選択的に形成して素子分離を行って第1の回路及び第2の回路を形成することにより得ることができ、

【0126】＜第2の態様＞図29はこの発明の実施の形態3であるSOI構造の半導体装置の第2の態様の構造を示す断面図である。同図に示すように、完全分離を行う第1の回路形成用の部分SOI層3Bの厚さを、部分分離を行う第2の回路形成用の部分SOI層3Aの厚さよりも薄くしている。したがって、部分SOI層3Bに形成される完全酸化膜34、フレイム領域51、ソース領域61及びチャネル形成領域71の厚さも薄くなる。

【0127】第2の態様では、第1の回路形成用の部分SOI層3Bの厚さを第2の回路形成用の部分SOI層3Aの厚さよりも薄く形成したため、同じトレンチエッチング条件を用いても、部分SOI層3Aには部分トレン

ンチを部分SOI層3Bには完全トレンチを形成し分けるとができる。したがって、製造方法その1の図10で示した工程が省略できる等の製造方法の簡略化を図って、完全分層及び部分分層をそれぞれ部分SOI層3B及び部分SOI層3A上で行うとができる。

[0128] また、完全分層、部分分層に際しなく、基板電圧が固定される第2の回路である、1/〇ノバツフ回路、アナログ回路（PLL、センスアンプ）、クイックバック回路、ダイナミック回路などを形成するSOI層の厚度は厚くすることができ、その点からも第2の回路は理にかなっており、特に回路間回路では順変により温度上昇を抑制でき効果的である。

[0129] <第3の回路> また、実施の形態3の第3の回路として、ノイズ発生源となる1/〇ノバツフ回路と他の回路との分層は少なくとも完全分層化層32を用いた完全分層を行い、他の部分の分層は部分分層化層31を用いた分層を行うことにより、内部回路やノイズに弱いアナログ回路へのノイズの影響を減らしながら、基板浮遊効果の影響を最小限に抑えたSOI構造の半導体装置を得ることができ、

[0130] <実施の形態4> 図30及び図31はこの発明の実施の形態4のSOI構造の半導体装置の構造を示す断面図である。なお、図30及び図31はそれぞれ実施の形態1の図3のA-A断面及びB-B断面に相当する。

[0131] 同図に示すように、シリコン基板1、埋め込み分層化層2及びSOI層3からなるSOI構造の半導体装置におけるSOI層3の各トランジスタ形成領域は下部部にウエル領域が形成される部分分層化層71によって分層される。そして、NMOSTランジスタ間を分層する部分分層化層71の下部にp型のポリシリコン領域61が形成され、PMOSTランジスタ間を分層する部分分層化層71の下部にn型のポリシリコン領域62が形成され、NMOSTランジスタ、PMOSTランジスタ間を分層する部分分層化層71の下部にp型のポリシリコン領域61（NMOSTランジスタ間）及びn型のポリシリコン領域62（PMOSTランジスタ間）が隣接して形成される。

[0132] また、図31に示すように、SOI層3中のポリシリコン領域61の間にポチナー領域10が形成され、ポチナー領域10は隣接するポリシリコン領域61に接している。そして、隣接した上に形成された配線層25は、隣接地線層4中に設けられたポチナーコンタクト23を介してポチナー領域10と電気的に接続される。

[0133] このように、実施の形態4の半導体装置は部分分層化層71下に形成されるポリシリコン領域61、62をウエル領域として利用し、ポチナー領域10を介してその電位が固定される。したがって、チャネル形成領域7の電位が安定し基板浮遊効果を低減させることが

できる。

[0134] なお、図32に示すように、NMOSTランジスタおよびPMOSTランジスタそれぞれ内部のトランジスタ分層を部分分層化層71とその下部のポリシリコン領域61（62）によって行い、一方、PMOSTランジスタ、NMOSTランジスタ間の分層を完全分層化層32によって行っても良い、このような構成にするにとり、図30及び図31の構造に比べて、PMOS、NMOS間の分層幅を小さくできたり、ラッチアップを防止できたりとすることができる。

[0135] <製造方法> 図33～図37は実施の形態4の半導体装置の製造方法における素子分層工程を示す断面図である。

[0136] まず、図33に示すように、シリコン基板1、埋め込み分層化層2及びSOI層3からなるSOI基板を出発材料とし、SOI基板上に分層化層41と配線層42を順次堆積した後、パターンニングしたレジスト43をマスクとして分層処理をパターンニングし、配線層42、分層化層41、SOI層の3多層構造を貫通させてトレンチ53を形成する。

[0137] そして、図34に示すように、全面にポリシリコン層65を順次堆積し、堆積した後、図35に示すように、複数のトレンチ53のうち、一部を覆うようにレジスト66を形成して、レジスト66で覆われなかったトレンチ53内のポリシリコン層65をエッチングして除去することにより、完全トレンチ48を形成する。

[0138] 次に、図36に示すように、全面にトレンチ埋め込み用の分層化層を堆積し、通常のトレンチ分層と同様の手法でCMP処理により配線層42の途中まで研磨し、その後、配線層42、分層化層41の除去を行うことにより、ポリシリコン領域67及びその内部に残存する分層化層68と完全分層化層32とが選択的に形成された構造を得ることができ、

[0139] そして、図37に示すように、ポリシリコン領域67を分層化させることにより、分層化層68とポリシリコン領域67が分層化された領域とからなる部分分層化層71と、分層化されずに残存したポリシリコン領域61（62）とによる部分分層構造が完成する。

[0140] ポリシリコン領域67の分層化度合いの方がSOI層3表面とポリシリコン領域67より高いため、SOI層3の上面とポリシリコン領域61（62）の最上部との間に十分な段差が生じ、ゲート分層化層形成時に分層不良によりゲート電極9とポリシリコン領域61とがショートすることを防ぐことができる。

[0141] 以下、既述の方法で、NMOSTランジスタ形成領域にNMOSTランジスタを形成し、PMOSTランジスタ形成領域にPMOSTランジスタを形成することにより、図32で示したSOI構造を得ることができ、

[0142] <実施の形態5>

<第1の回路> 図38はこの発明の実施の形態5のSOI構造の半導体装置の第1の回路の構造を示す断面図である。同図に示すように、シリコン基板1、埋め込み分層化層2及びSOI層3からなるSOI構造の半導体装置におけるSOI層3の各トランジスタ形成領域は下部部にウエル領域が形成される低誘電率領域（埋め込み分層化層2等）の一般的な他線層より誘電率が低い他線層）75によって分層される。そして、図1で示した実施の形態1のように、NMOSTランジスタ間を分層する低誘電率領域75の下部にp型のウエル領域11が形成され、PMOSTランジスタ間を分層する低誘電率領域75の下部にn型のウエル領域12が形成され、NMOSTランジスタ、PMOSTランジスタ間を分層する低誘電率領域75の下部にp型のウエル領域及びn型のウエル領域（図38では共に図示せず）が形成される。上記したウエル領域は実施の形態1と同様、電気的に接続関係にあるポチナー領域を介して電圧が固定可能である。

[0143] SOI構造の場合、SOI層3の厚みが50nm程度に薄くなる場合がある、このとき、素子分層用分層化層（図1の部分分層化層31）下に形成されるウエル領域が変化する恐れがある。本来素子分層すべきトランジスタ間にリーク電流が流れる恐れがある。

[0144] しかしながら、実施の形態4の第1の回路では、素子分層用に低誘電率領域75を用いているため、領域が薄くともその容量を十分低く抑えることができ、上記したリーク電流発生を確実に回避することができ、

[0145] なお、低誘電率領域75としては、埋め込み分層化層等に用いられるシリコン分層化層（低誘電率が3.9～4程度）にフッ素を混入したり、有機膜を用いることにより、低誘電率が3程度のもので用いている。

[0146] <第2の回路> 図39は実施の形態5の第2の回路を示す断面図である。同図に示すように、図38の低誘電率領域75に代えて、低誘電率領域76と低誘電率領域76の底面及び側面に形成されるシリコン分層化層78とにより素子分層を行っている。なお、他の構成は図38で示した第1の回路と同様である。

[0147] このように、低誘電率領域77の底面及び側面にシリコン分層化層79を形成するのとは、シリコン（フレイム）領域5、ソース領域6、ウエル領域11、12等）との界面に生じる欠陥や界面電荷の発生を確実に抑制するためである。なお、シリコン分層化層78は熱酸化法やCVD法を用いて形成される。

[0148] <第3の回路> 図40は実施の形態5の第3の回路を示す断面図である。同図に示すように、図38の低誘電率領域75に代えて、低誘電率領域77と低誘電率領域77の側面に形成されるシリコン分層化層79とにより素子分層を行っている。なお、他の構成は図38で示

した第1の回路と同様である。

[0149] このように、低誘電率領域76の側面にシリコン分層化層78を形成するのは、チャネル形成領域7が存在する側面方向のシリコン（フレイム）領域5、ソース領域6）との界面に生じる欠陥や界面電荷の発生を確実に抑制することを主眼としたためである。

[0150] <実施の形態6>

<第1の回路> 図41はこの発明の実施の形態6であるSOI構造の半導体装置における第1の回路の構造を示す断面図である。

[0151] 同図に示すように、各素子間には隣接地線層4（線路の都合上、完全分層化層32相当する部分も隣接地線層4で示す）によって完全分層し、ポチナー領域となる接続領域80を埋め込み分層化層2の上層部に形成し、その一部がSOI層3（図41ではフレイム）領域5、チャネル形成領域7）の端部裏面と接することにより、電気的に接続関係を保っている。なお、接続領域80の導電型はチャネル形成領域7と同じである。また、図1及び図2と同様の部分については同一の参照符号を付しその説明を適宜省略する。

[0152] このように、第1の回路の半導体装置はポチナー領域となる接続領域80をSOI層3ではなく、埋め込み分層化層2の上層部に設けたため、ゲート電極9との間に少なくともSOI層3の厚み以上の高低差を設けることができる。その結果、製造時にゲート電極9と接続領域80とが短絡するという不具合を確実に回避することができ、

[0153] <第2の回路> 図42はこの発明の実施の形態6であるSOI構造の半導体装置における第2の回路の構造を示す断面図である。

[0154] 同図に示すように、フレイム領域5及びソース領域6はSOI層3の上層部に接し形成される。なお、他の構成は図41で示した第1の回路と同様である。

[0155] このように、第2の回路の半導体装置はフレイム領域5及びソース領域6をSOI層3の上層部に接し形成したため、フレイム領域5あるいはソース領域6と接続領域80とが接触関係を持ちリーク電流を引き起こすことを確実に回避することができ、

[0156] <製造方法（概念）> 図43～図45は接続領域80となるポリシリコン領域を形成する工程を概念的に示す断面図である。

[0157] まず、図43に示すように、シリコン基板1、埋め込み分層化層2及びSOI層3からなるSOI構造から、SOI層3を表面から選択的に除去することにより、トレンチ分層が施された素子形成領域を形成する。

[0158] そして、図44に示すように、SOI層3をマスクとして埋め込み分層化層2に対するウェットエッチングを施し、SOI層3の端部下面の埋め込み分層化層

2が除去しながら、SOI層3が上部に存在しない埋め込み酸化膜2の上層部を除去した穴部94を形成する。
[0159]そして、図45に示すように、穴部94にポリシリコンを埋め込むことにより、接続領域80用のポリシリコン領域81を形成する。

[0160]＜製造方法（その1）＞図46～図48は接続領域80となるポリシリコン領域を形成するその1の工程をより具体的に示す断面図である。

[0161]まず、図46に示すように、SOI基板のSOI層3上にシリコン酸化膜91及びシリコン酸化膜92を堆積し、SOI層3、シリコン酸化膜91及びシリコン酸化膜92をパターンニングしてトレンチ分層を行った後、パターンニング後のSOI層3、シリコン酸化膜91及びシリコン酸化膜92の側面に側壁シリコン酸化膜93を形成する。

[0162]そして、図47に示すように、シリコン酸化膜92及び側壁シリコン酸化膜93をマスクとして、埋め込み酸化膜2に対するウエットエッチングを行い、SOI層3の端部裏面の埋め込み酸化膜2を除去しながら、SOI層3が上部に存在せずに露出した埋め込み酸化膜2の上層部を除去することにより、穴部94を形成する。

[0163]その後、図48に示すように、全面にポリシリコン層を堆積した後、ポリシリコン層をフライエッチングによりエッチバックすることにより、穴部94にポリシリコンを埋め込んで接続領域80用のポリシリコン領域81を形成する。
[0164]以下、図11で示した工程のように、トレンチ酸化膜を埋め込む方法により複数の素子形成領域を総括分層し、接続領域80を外部から電位固定可能とし、さらに、複数の素子形成領域それぞれに所定の素子を形成することにより、図41あるいは図42で示した構造が完成する。

[0165]＜製造方法（その2）＞図49～図51は接続領域80となるポリシリコン領域を形成するその2の工程を具体的に示す断面図である。

[0166]まず、既に取り上げた図46に示すように、SOI層3、シリコン酸化膜91及びシリコン酸化膜92をパターンニングしてトレンチ分層を行った後、パターンニング後のSOI層3、シリコン酸化膜91及びシリコン酸化膜92の側面に側壁シリコン酸化膜93を形成する。

[0167]そして、図49に示すように、シリコン酸化膜92及び側壁シリコン酸化膜93をマスクとして、埋め込み酸化膜2に対するウエットエッチングを行い、SOI層3の端部裏面の埋め込み酸化膜2を除去しながら、SOI層3が上部に存在しない埋め込み酸化膜2の上層部を除去することにより、穴部94を形成する。
[0168]次に、図50に示すように、SOI層3の露出した真面からのエピタキシャル成長により側壁シリ

32

コン酸化膜93下にエピタキシャル成長層82を形成する。

[0169]その後、図51に示すように、全面にポリシリコン層を堆積した後、ポリシリコン層をエッチバックすることにより、穴部94にポリシリコンを埋め込んで接続領域80用のポリシリコン領域83を形成する。その結果、エピタキシャル成長層82とポリシリコン領域83とからなる接続領域80を形成することとなる。

[0170]以下、トレンチ酸化膜を埋め込む等の方法により複数の素子形成領域を総括分層し、接続領域80を外部から電位固定可能とし、さらに、複数の素子形成領域それぞれに所定の素子を形成することにより、図41あるいは図42で示した構造が完成する。

[0171]第2の態様の構造は、エピタキシャル成長層82を介している分、フレキシブルなあるいはソース領域6とチャネル形成領域7とによるPN接合部分とポリシリコン領域83との距離を十分とすることができ、良好な電気的特性を得ることができ、
[0172]＜第3の態様＞図52は実施の形態6の第3の態様を示す断面図である。同図の構造は図41で示した構造（接続領域80、ポライコンタクト23、ゲートコンタクト24及び配線層22、25を除く）から、シリコン基板1及び埋め込み酸化膜2を研磨により除去した後、裏面を反転させた後、新たな裏面にシリコン基板90を張り合わせ、接続領域86を表面に形成した構造である。したがって、シリコン基板90、層間絶縁膜4及び素子形成領域（フレキシブル領域5、ソース領域6、チャネル形成領域7等）からなるSOI構造となる。

[0173]第3の態様は結果的に接続領域86を表面に形成することとなるため、製造工程が容易になる。
[0174]＜第4の態様＞図53は実施の形態6の第4の態様を示す断面図である。同図に示すように、埋め込み酸化膜2を貫通して接続領域87を形成している。他の構成は図41で示した第1の態様と同様である。
[0175]このように、第4の態様は、埋め込み酸化膜2を貫通して接続領域87を形成したため、支持基板であるシリコン基板1から電位を固定することとでき、この際、図54に示すように、接続領域87形成をウエットエッチングにより埋め込み酸化膜2の上層部に形成された穴部89と、フライエッチングにより横方向に広がりなく埋め込み酸化膜2を貫通して形成された貫通部88とにより貫通口を設けた後、ポリシリコン等を埋め込んで接続領域87を形成すれば、貫通口形成時の横方向の広がりを抑えながら、埋め込み酸化膜2を貫通した接続領域87を得ることができ、
[0176]＜＜実施の形態7＞＞図63はこの発明の実施の形態7であるSOI構造の半導体装置の完全分層領域の設計方法説明用の平面図である。同図に示すよう

33

に、CMOSトランジスタを形成する場合、仮想nウェル領域104内にPMOS活性領域101及びPMOSボディーコンタクト領域102が選択的に設けられ、仮想nウェル領域104外のP領域（図示せずにNMOS活性領域111及びNMOSボディーコンタクト領域112を選択的に設けられる形状が一般的である）
[0177]一方、実施の形態2の第3の態様（図7）等て示した複合分層領域によってNMOS、PMOS間を分離する場合、仮想nウェル領域104と部分分層領域とはほぼ一致し、部分分層領域に接続して完全分層領域が形成される。

[0178]このような複合分層領域を用いた半導体装置のレイアウト構成は普遍された過去のレイアウトデータを利用して可能な限り、
[0179]したがって、完全分層領域は以下の①～⑥で示す設計方法を実行することにより自動生成することとできる。

[0180]①ウェル領域内に形成されるPMOSトランジスタとウェル領域外に形成されるNMOSトランジスタとからなるCMOSデバイスに渡すデータを得る。
[0181]②過去のデータに基づき第1及び第2のMOSTランジスタの形成領域（PMOS活性領域101、PMOSボディーコンタクト領域102、NMOS活性領域111、NMOSボディーコンタクト領域112）を設定する。
[0182]③上記過去データにおけるウェル領域を仮想nウェル領域104として、nウェル領域104の外周近傍領域に、完全分層領域105を設定する。
[0183]仮想nウェル領域104は通常、NMOS領域とPMOS領域とを区別する領域であるため、仮想nウェル領域104を基準として完全分層領域を設定することによりNMOSトランジスタ、PMOSトランジスタ間を効果的に分離することとできる。
[0184]図63の例では、仮想nウェル領域104の外縁を完全分層領域105の幅W/2で外側にオーバーラップさせるとともに、同外縁を幅W/2で内側にアンダーラップさせることにより完全分層領域105を設定している。

[0185]このように、通常のCMOSトランジスタを製造する過去データのウェル領域の外周近傍に完全分層領域Wに基づき完全分層領域を自動設定することとできる。
[0186]さらに、部分分層領域113をPMOS活性領域101、PMOSボディーコンタクト領域102、nウェル領域104、NMOS活性領域111及びNMOSボディーコンタクト領域112以外の領域にnウェル領域104に接続してK形成されるように設定することにより、完全分層領域105及び部分分層領域113からなる複合分層領域を設計することとできる。
[0187]＜＜実施の形態8＞＞

34

＜ラッチアップ現象＞図64はラッチアップ現象説明用の説明図である。同図に示すように、PMOS領域131にPMOS領域141が隣接するCMOS構造では、PMOS領域131内のPMOS活性領域133及びnウェル領域132とNMOS領域141内のpウェル領域142とにより形成される寄生バイポーラトランジスタT1と、NMOS領域141内のNMOS活性領域143及びpウェル領域142とPMOS領域131内のnウェル領域132とにより形成される寄生バイポーラトランジスタT2とが形成される。

[0188]nボディーコンタクト領域135はnウェル領域132の底成分R11として寄生バイポーラトランジスタT1のベースに接続されることとなる。同様に、pボディーコンタクト領域145はpウェル領域142の底成分R12を介して寄生バイポーラトランジスタT2のベースに接続されることとなる。nボディーコンタクト領域135は電源電圧V_{cc}に設定され、pボディーコンタクト領域145は接地レベルV_sに設定される。なお、PMOS活性領域133及びNMOS活性領域143の中心部にはゲート電極134及び144がそれぞれ形成されている。

[0189]これらの寄生バイポーラトランジスタT1及びT2による寄生サイリスタ構造が形成されることにより、ノイズによって寄生サイリスタがオン状態になると電源電圧V_{cc}から接地レベルV_sにかけて電流が流れることになるというラッチアップ現象が起こる。

[0190]＜第1の態様＞一般にラッチアップ現象を引き起こすノイズの入出力端子から入ってくることも多い。そこで、図65に示すように、入出力NMOS（トランジスタ形成）領域106、入出力PMOS（トランジスタ形成）領域106、入出力PMOS（トランジスタ形成）領域106及び入出力PMOS領域116はそれぞれ部分分層領域107及び部分分層領域117で周辺領域と部分分層領域とされている。

[0191]入出力領域と入出力バッファや保護回路を主に形成する領域を意味する。図66は入力回路の一例を示す回路図である。同図に示すように、入力信号INを受ける外部入力端子P1は抵抗R1及びR2を介して入力バッファ122の入力部に接続され、入力バッファ122の入力部内部入力端子P2に接続され、内部入力端子P2より内部信号S0が出力される。

[0192]入力保護回路121はPMOSトランジスタQ1及びNMOSトランジスタQ2から構成され、PMOSトランジスタQ1はソース及びゲートが電源電圧V_{cc}に接続され、フレキシブル抵抗R1、R2間のノーマルに接続される。NMOSトランジスタQ2はソース及びゲートが接地され、フレキシブルノーマルに接続される。
[0193]入力バッファ122はPMOSトランジスタ

タQ11、NMOSTラジスタQ12によりCMOS
インバータを構成し、PMOSTラジスタQ11、N
MOSTラジスタQ12のゲートが入力部、フレイ
ン出力部となる。

(0194)この回路例では、PMOSTラジスタQ
1及びQ11が入力PMOS領域118に形成され、N
MOSTラジスタQ2及びQ12が入力NMOS領域
108に形成される。

(0195)図67は出力回路の一例を示す回路図であ
る。同図に示すように、内部番号S1を受ける内部入力
端子P3は出力バッファ123の入力部に接続され、出
力バッファ123の出力部より得られる信号が外部出力
端子P4を介して出力信号OUTとして出力される。

(0186)出力バッファ123はPMOSTラジスタ
Q13、NMOSTラジスタQ14によりCMOS
インバータを構成し、PMOSTラジスタQ13、N
MOSTラジスタQ14のゲートが入力部、フレイ
ン出力部となる。

(0187)出力回路回路124はPMOSTラジスタ
Q3及びNMOSTラジスタQ4から構成され、P
MOSTラジスタQ3のソース及びゲートが電源電圧
Vccに接続され、フレインが外部出力端子P4に接続さ
れる。NMOSTラジスタQ4のソース及びゲートが
接地され、フレインが外部出力端子P4に接続される。

(0188)この回路例では、PMOSTラジスタQ
3及びQ13が出力PMOS領域119に形成され、N
MOSTラジスタQ4及びQ14が入力NMOS領域
109に形成される。

(0189)このように、実施の形態8の第1の態様
は、ラッチアップ現象が生じやすい入出力NMOS領域
106、入出力PMOS領域116間の少くとも境界
近傍領域に完全分離領域114を形成して完全分離す
ることにより、ラッチアップ現象を効果的に抑制しな
がら、回路形成面積の増大を最小限に抑えることがで
きる。

(0200)また、実施の形態8の第1の態様はNMO
S領域、PMOS領域間の全領域に完全分離領域を設
けるのではなく、入出力NMOS領域、入出力PMOS
領域の境界近傍領域のみ完全分離領域114を設ける
ことにより、ラッチアップ現象を効果的に抑制しな
がら、回路形成面積の増大を最小限に抑えることがで
きる。

(0201)＜第2の態様＞なお、入出力NMOS領域
106、入出力PMOS領域116間の完全分離は、図
65のように、入出力NMOS領域106、入出力PM
OS領域116間の境界近傍領域のみ設ける以外
に、図68に示す第2の態様のように、入出力NMOS
領域106及び入力PMOS領域118を完全に囲うよ
うに完全分離領域115を形成してもよい。

(0202)さらに、入出力NMOS領域、入出力PM
OS領域間に加え、アナログ回路、デジタル回路間の

ように特定の回路間に完全分離領域を設けることも考え
られる。

(0203)＜第3の態様＞図69は実施の形態8の第
3の態様を示す説明図である。同図に示すように、NM
OS領域（入出力NMOS領域106、内部NMOS領
域180）、PMOS領域（入出力PMOS領域11
6、内部PMOS領域190）間に加え、入出力領域
（入出力PMOS領域116）、内部回路領域（内部N
MOS領域180）間をも完全分離領域110で完全分
離している。

(0204)第3の態様により、第1及び第2の態様の
効果に加え、ノイズ影響を受けやすい入出力領域の影響
を内部回路領域から完全に遮断することができ、

(0205)＜＜実施の形態8＞＞

＜第1の態様＞図70はこの発明の実施の形態9である
SOI構造の半導体装置の第1の態様の平面構造を示す
平面図であり、図71は図70のA-A断面構造を示す
断面図である。これらの図に示すように、NMOS（ト
ラジスタ形成）領域126とPMOS（トラジスタ
形成）領域136とが隣接して設けられている。NM
OS領域126内に複数のゲート電極129を有するNM
OS活性領域128とp⁺ボディー領域130とが形成
され、NMOS活性領域128の周囲を部分分離領域1
27で囲っている。

(0206)一方、PMOS領域136内に複数のゲー
ト電極139を有するPMOS活性領域138とn⁺ボ
ディー領域140とが形成され、PMOS活性領域13
8の周囲を部分分離領域137及び完全分離領域120
によって囲っている。完全分離領域120は、NMOS
領域126とPMOS領域136との境界近傍のPMO
S領域136内におけるゲート電極139のPMOS活
性領域138からのみならず部分に設けられる。

(0207)したがって、NMOS領域126と部分分
離領域127との境界近傍領域は、図71に示すよう
に、NMOS領域126は酸化膜54とウエル領域16
8とによる部分分離領域127で周囲と分離されるの
に対し、PMOS領域136は酸化膜54のみによる完全
分離領域120で周囲と分離される。

(0208)このように、NMOS領域126には完全
分離領域を全く形成せず、部分分離領域127を設ける
ことにより、酸化膜54下のウエル領域169を介して
NMOSTラジスタの基板電位の固定が不足なく行え
るため、基板近傍効果の悪化を抑制し、NMOSTラジスタの
基板近傍効果を効果的に抑えることが出来る。

(0209)また、基板近傍効果がNMOSTラジスタ
に比べて緩やかなPMOSTラジスタは、周囲の一
部に完全分離領域を形成しても大きな悪影響はなく、N
MOS領域126、部分分離領域127間と完全分離領
域120によって絶縁分離しなから面積効率を高めるに記
置となり、レイアウトに余裕がない場合等に有効とな

る。

(0210)＜第2の態様＞図72はこの発明の実施の
形態9であるSOI構造の半導体装置の第2の態様の平
面構造を示す平面図であり、図73は図72のB-B断
面構造を示す断面図である。これらの図に示すように、
p⁺型のウエル領域169内に形成されるNMOS領域
126と、n⁺型のウエル領域179内に形成されるP
MOS領域136とが隣接して設けられる。

(0211)NMOS領域126内に複数のゲート電極
129を有するNMOS活性領域128が形成され、N
MOS活性領域128の周囲の大部分を完全分離領域1
25で囲っている。そして、ゲート電極129の一方側
（PMOS領域136と反対側）のゲート電極129の
端部のみ部分分離領域127で周囲と分離している。

(0212)図73に示すように、酸化膜54と酸化膜
54の下方に形成されたウエル領域169とにより部分
分離領域127を構成している。なお、部分分離領域1
27の形成幅は、ゲート電極129の形成幅よりも大き
くても（図73の左側）、小さくても（図73の右側）
のよい。また、ウエル領域169内の上記ゲート電極12
9の一方側付近にp⁺ボディー領域130が設けられ
る。

(0213)一方、PMOS領域136内に複数のゲー
ト電極139を有するPMOS活性領域138が形成さ
れ、PMOS活性領域138の周囲の大部分を完全分離
領域125で囲っている。そして、NMOS領域126
と同様、ゲート電極139の一方側（NMOS領域12
6と反対側）のゲート電極139の端部のみ部分分離領
域137で周囲と分離している。また、ウエル領域17
9内の上記ゲート電極139の一方側付近にn⁺ボディー
領域140が設けられる。

(0214)このように、実施の形態9の第2の態様
は、ゲート電極の端部を部分分離領域によって分離し
て、ゲート電極下に存在するチャネル形成領域と部分分
離領域のウエル領域とが接するように形成することによ
り、各トラジスタ形成領域の基板電位を固定すること
ができる。

(0215)なお、NMOS領域126及びPMOS領
域136の周囲の大部分を完全分離領域125で囲って
いるのは、PN接合面障を減らすためとラッチアップ現
象が生じる経路を遮断するためである。

(0216)＜＜実施の形態8＞＞
＜第1の態様＞図74はこの発明の実施の形態10であ
るSOI構造の半導体装置の第1の態様の構成を示す平
面図である。同図に示すように、NMOS活性領域12
8内に複数のゲート電極129が形成され、NMOS活
性領域128の周囲を囲って部分分離領域127を設け
ている。さらに、部分分離領域127の周囲を囲ってp⁺
ボディー領域146を設けている。なお、図101は図
74のE-E断面構造を示す断面図である。

(0217)部分分離領域127は図101に示すよう
に、酸化膜54とウエル領域169とから構成されてお
り、このウエル領域169はNMOS活性領域128に
形成されるチャネル形成領域と接して形成されるため、
ノイズやラッチアップの影響を受けやすい構造になっ
ている。

(0218)しかしながら、実施の形態10の第1の態
様は、部分分離領域127を囲ってp⁺ボディー領域14
6が形成されているため、p⁺ボディー領域146を接地
レベルに固定する等の基板電位を行つことにより、他の
回路部分からの影響を抑制し、基板電位を安定でき、
ノイズやラッチアップに対する耐性を大きく向上させる
ことができる。

(0219)このような構成の第1の態様は、ノイズ源
の回路ブロック、外部からノイズを遮断したい回路ブロ
ック等に通じている。なお、PMOS活性領域の場合は
部分分離領域の周囲をn⁺ボディー領域で囲って形成
すれば、同様な効果が得られる。

(0220)＜第2の態様＞図75はこの発明の実施の
形態10であるSOI構造の半導体装置の第2の態様の
構成を示す平面図である。同図に示すように、入出力N
MOS領域151と入出力PMOS領域152とが隣接
して形成される。

(0221)入出力NMOS領域151において、NM
OS活性領域128内に複数のゲート電極129が形成
され、NMOS活性領域128の周囲を囲って部分分離
領域127Aを設けている。さらに、部分分離領域12
7Aの周囲を囲ってp⁺ボディー領域146を設けてい
る。そして、p⁺ボディー領域146を囲って部分分離領
域127Bを設けている。

(0222)入出力PMOS領域152において、PM
OS活性領域138内に複数のゲート電極139が形成
され、PMOS活性領域138の周囲を囲って部分分
離領域137Aを設けている。さらに、部分分離領域1
37Aの周囲を囲ってn⁺ボディー領域147を設けてい
る。そして、n⁺ボディー領域147を囲って部分分離領
域137Bを設けている。

(0223)一般に入出力回路はサージやノイズの影響
をチャッアップ現象を受ける場合が多いため、ラッチアップ現
象やノイズ耐性を高めることが特に重要となる。

(0224)実施の形態10の第2の態様は、入出力
NMOS領域151及び入出力PMOS領域152それ
ぞれの部分分離領域127A及び137Aをp⁺ボディー
領域146及びn⁺ボディー領域147で囲うことによ
り、サージに影響でウエル領域の電位が上昇して生じる
ラッチアップ現象を抑制することが出来る。

(0225)第2の態様では、NMOS、PMOS活性
領域全体をボディー領域で覆った構造と示し、入出
力NMOS領域151と入出力PMOS領域152との
境界近傍領域に、少なくともボディー領域を設ければ、

(0235) さらに、第2の態様は、フローチャートD・ボディー領域150の存在により、キキアの再結合が促進されるため、第1の態様に比べ基板浮遊効果の抑制効果が大きくなる効果奏する。

とボチヤ一領域164とにかかるとように形成される。そして、ドレイン領域153、ソース領域154及びボチヤ一領域164の周辺を囲って部分分離領域161が形成されている。

〔0253〕例えば、ホロン(B)を注入エネルギー20keV、注入角度45度で、 $F=8.4 \times 10^{17}/\text{cm}^2$ を注入すれば良い。また、BやBF₃の注入エネルギーが低い場合(例えば、BF₃の注入エネルギー20keV)でも、nの不純物注入時に発生する格子欠陥によ

〔0260〕<<実施の形態15>>
 <第1の態様>図86は、この発明の実施の形態15であるSOI構造の半導体装置の第1の態様の構造を示す断面図である。同図に示すように、シリコン基板1及び埋め込み酸化物層2上のSOI層3にn⁺活性領域191～

193が選択的に形成され、n⁺活性領域191、192間が完全分離領域209で分離され、n⁺活性領域192、193間が部分分離領域219で分離されている。

[0261] 完全分離領域209は酸化膜188と酸化膜188下に形成されるウエル領域（p⁺ウエル領域）94、185及びp⁺ウエル領域196、197）とから構成される。酸化膜188は中心部の完全絶縁部分229がSOI層3を貫通して形成されることにより、n⁺活性領域191、192間を完全分離することができ、一方、部分分離領域219は酸化膜188と酸化膜189下のp⁺ウエル領域198とにより構成される。

[0262] 酸化膜188下のウエル領域において、完全絶縁部分229に隣接して形成されるp⁺ウエル領域196、197の不純物濃度を他の領域194、195より高く設定している。

[0263] 完全絶縁部分229の近傍領域ではSOI層3にかかるストレスにより電荷が発生したり不純物の酸化膜への固着によりパシスルーしやすい状態になるという不具合が生じる可能性がある。

[0264] かし生じながら、実施の形態15の第1の態様は、完全絶縁部分229の近傍に比較的不純物濃度の高いp⁺ウエル領域196、197を設けているため、上記の不具合の発生を抑制することができ、

[0265] <第2の態様>図87はこの発明の実施の形態15であるSOI構造の半導体装置の第2の態様の構成を示す平面図である。図87に示すように、フレイン領域201、ソース領域202及びゲート電極203からなるNMOSトランジスタの周囲を部分分離領域204〜207で囲い、さらに部分分離領域204〜207の周囲を完全分離領域208で囲っている。

[0266] 部分分離領域204〜207において、ゲート電極203の近傍領域は不純物濃度が比較的高いp⁺ウエル領域206及び207を形成し、それ以外のフレイン領域201及びソース領域202に接した領域は不純物濃度が低いp⁺ウエル領域204及び205を形成している。

[0267] このような構成の実施の形態15の第2の態様は、p⁺ウエル領域204及び205によってPN接合容量の低下を図り、p⁺ウエル領域206及び207によってパシスルーを防止することができ、

[0268] <<実施の形態16>>
<第1の態様>図88はこの発明の実施の形態16であるSOI構造の半導体装置の第1の態様の構成を示す断面図である。図88に示すように、シリコン基板1及び埋め込み酸化膜2上のSOI層3内に部分分離領域の使用の酸化膜211を形成している。

[0269] 分離形状の最適化において、分離幅の縮小とSOI層にかかるストレス緩和の両面のバランスをとる必要がある。部分分離領域使用の酸化膜の形状に

て、分離幅の縮小のためにはできるだけ角部の曲率をきつく（曲率半径を小さく）し、また深さ方向の面を垂直に近づけるのが良い。逆にストレス緩和のためには角部の曲率を緩く（曲率半径を大きく）する方が良い。また、パシスルー部は有効な活性領域幅を確保するためであるだけ小さくするのが好ましい。

[0270] このような観点から、第1の態様の酸化膜211の断面形状は、分離幅を縮小するために、表面の角部であるパシスルー部の形状F A（B部分）の曲率をきつくし、ストレスを緩和するために底面の角部の形状F Cの曲率を緩く設定している。また、分離幅を縮小するために、深さ方向の面の形状F Bの少なとも一部は垂直に近づけることが望ましい。

[0271] <第2の態様>図89はこの発明の実施の形態16であるSOI構造の半導体装置の第2の態様の構成を示す断面図である。図89に示すように、シリコン基板1及び埋め込み酸化膜2上のSOI層3内に完全分離領域使用の酸化膜212を形成している。

[0272] 第2の態様も第1の態様と同様の観点から、酸化膜212の断面形状は、第1の態様と同様の形状F A、F B、F Cに設定し、底面の完全絶縁部分と部分分離部分との段差部の形状F Dの曲率を形状F Cよりもきつく設定して分離幅の縮小を図っている。

[0273] <<実施の形態17>>

<第1の態様>図90はこの発明の実施の形態17であるSOI構造の半導体装置の第1の態様の構成を示す断面図である。図90に示すように、シリコン基板1及び埋め込み酸化膜2が形成され、埋め込み酸化膜2上のSOI層3にテラロク回用トランジスタQ21及びQ22があり接続される回路構成が第1の態様の回路構成である。

[0274] 図90に示すように、高抵抗シリコン基板200上に埋め込み酸化膜2が形成され、埋め込み酸化膜2上のSOI層3にテラロク回用トランジスタQ21及びQ22があり接続されている。

[0275] テラロク回用トランジスタQ21及びQ22は共にフレイン領域5、ソース領域6、チャネル形成領域7、ゲート酸化膜8及びゲート電極9から構成され、テラロク回用トランジスタQ21、Q22間は比較的形成的面積が大きい酸化膜210により完全分離され、テラロク回用トランジスタQ21、Q22と他の周辺部とは比較的形成的面積が小さい酸化膜213で完全分離される。なお、酸化膜210及び213の下方の一部にはウエル領域29が形成されている。

[0276] テラロク回用トランジスタQ21、Q22を含むSOI層3全面に間隔絶縁膜4が形成され、間隔絶縁膜4上に選択的に第1配線層221が形成される。第1配線層221の一部はコンタクトホール244を介してテラロク回用トランジスタQ21、Q22そ

れぞれのフレイン領域5及びソース領域6と電氣的に接続される。

[0277] 第1配線層221を含む間隔絶縁膜4上の全面に間隔絶縁膜220が形成され、間隔絶縁膜220上に選択的に第2配線層222が形成され、第2配線層222の一部によってスパイラルインダクタ199を形成している。第2配線層222の一部はコンタクトホール254を介して対応する第1配線層221（221A）と電氣的に接続される。なお、テラロク回用トランジスタQ21のゲート電極9は図示しない領域で間隔絶縁膜4に形成されるコンタクトホールを介して第1配線層221Aと接続される。

[0278] このような構成の第1の態様は、スパイラルインダクタ199の下方に酸化膜210及びウエル領域29からなる完全絶縁領域を設けることにより、スパイラルインダクタ199に付随する寄生容量の低減を図っている。すなわち、スパイラルインダクタ199下の分離領域を酸化膜とウエル領域との部分分離領域で形成した場合、ウエル領域とスパイラルインダクタ199との間で寄生容量が発生し、性能指数Q（エネルギーロスとストロブの比）が低下しエネルギーロスという不具合を解消している。

[0279] また、第1の態様はSOI基板の下部基板として高抵抗シリコン基板200を用いることにより、漏れ電流や容量を介した電力ロスの低減、寄生容量の低減を図り、性能指数Qの向上させることができる。

[0280] また、性能指数Qの向上させることができるため、テラロク回用トランジスタQ21、Q22の周辺を酸化膜210あるいは酸化膜213によって完全分離して、外部との電氣的遮断し、性能の向上を図っている。

[0281] また、図90では図示していないが、パシスルー部の下側に部分分離領域を形成するとスパイラルインダクタと同様に大きな寄生容量が発生しやすくなる容量ロスを生じ易いため、パシスルー部下方にもスパイラルインダクタ199の下方と同様に完全分離領域を設けるのが望ましい。

[0282] <第2の態様>図92はこの発明の実施の形態17であるSOI構造の半導体装置の第2の態様の構成を示す断面図である。図92の態様は第1の態様と同様に図91で示す回路を実現している。

[0283] 図92に示すように、テラロク回用トランジスタQ21、Q22間には比較的形成的面積が大きい酸化膜218並びにその下方の高抵抗領域223及びウエル領域224によりより部分分離され、テラロク回用トランジスタQ21、Q22と他の周辺部とは比較的形成的面積が小さい酸化膜213及びその下方のウエル領域11（12）で部分分離されている。

[0284] 酸化膜218の大部分の領域は高抵抗領域223で形成され、周辺部の一部のみウエル領域22

4が形成されている。なお、他の構成は図90で示した第1の態様と同様である。

[0285] 第2の態様のように、部分分離を行なから、スパイラルインダクタ199下の部分分離領域の大部分は酸化膜218と高抵抗領域223とにより構成することにより、スパイラルインダクタ199に付随する寄生容量を十分抑えることができる。

[0286] 高抵抗領域223の形成方法としては、高抵抗領域223には不純物を導入しないように製造する空気をえらる。また、例えば1×10¹⁷cm⁻³程度の高濃度のシリコン注入を行って酸化膜の下方領域をアモルファス化し、その後、熱処理でポリシリコン化して高抵抗領域223を形成することができる。

[0287] <<実施の形態18>>図93はこの発明の実施の形態18であるSOI構造の半導体装置の構成を示す平面図である。図93に示すように、DT-MOS領域225、226間を完全分離領域240で完全分離している。なお、DT-MOSとは、ゲート電極とボジター領域（チャネル形成領域）とを同一電位に設定するMOSTランジスタである。

[0288] DT-MOS領域225、226はそれぞれp型のウエル領域231（部分分離領域230）内にn⁺のNMOS活性領域232とp⁺のボジター領域234とを設け、コンタクト238を介して配線層239に接続するとともに、NMOS活性領域232の中心部に設けられるゲート電極233はコンタクト235（ゲートコンタクト）を介して配線層237に電氣的に接続され、ボジター領域234はコンタクト236（ボジターコンタクト）を介して配線層237に電氣的に接続される。

[0289] 配線層237によってゲート電極233とボジター領域234とを同一電位に設定して、オン状態の両端電圧を低下させて動作速度の向上を図っている。

[0290] このように、実施の形態18は、ボジター領域234及びウエル領域231を介してチャネル形成領域の電位を固定することができるとともに、完全分離領域240によってDT-MOS領域225、226間を完全分離することができるとともに、性能の良いDT-MOSを比較的容易に形成することができ、なお、ボジターコンタクトとゲートコンタクトはシフトコンタクトによって同時に接続してもよい。

[0291] <<実施の形態19>>図94はこの発明の実施の形態19であるSOI構造の半導体装置の構成を示す断面図である。

[0292] 図94に示すように、ゲート幅が比較的狭いトランジスタを形成するトランジスタ形成領域227には、フレイン領域245、ソース領域246、チャネル形成領域247、ゲート酸化膜248及びゲート電極249からなるMOSTランジスタを構成し、各MOSTランジスタ間を部分酸化膜231及びウエル領域11

(12) によって部分分離し、周囲とは完全酸化膜32によって完全分離している。

[0293] MOSトランジスタを含むSOI層3上の全面に絶縁膜4が形成され、絶縁膜4上に選択的に配線層242が形成される。配線層242はコンタクトホール241を介してドレイン領域245及びソース領域246に電気的に接続される。

[0294] 一方、ゲート幅Wが比較的広いトランジスタを形成するトランジスタ形成領域228には、ドレイン領域255、ソース領域256、チャネル形成領域257、ゲート酸化膜258及びゲート電極259からなるMOSトランジスタを構成し、各MOSトランジスタを部分分離した膜31及びビエラ領域11(12)によって部分分離し、周囲とは完全酸化膜32によって完全分離している。

[0295] MOSトランジスタを含むSOI層3上の全面に絶縁膜4が形成され、絶縁膜4上に選択的に配線層252が形成される。配線層252はコンタクトホール251を介してドレイン領域255及びソース領域256に電気的に接続される。

[0296] ゲート幅Wが狭いトランジスタ形成領域227に形成されるドレイン領域245及びソース領域246の形成深さを、ドレイン状態時にドレイン/ソースからの空乏層243の少なくとも一部が埋め込み酸化膜242に到達する深さに設定して、接合容量の低減化を図っている。なお、ドレイン領域245及びソース領域246の形成深さを埋め込み酸化膜242に到達する深さに設定しても良い。

[0297] 一方、ゲート幅Wが広いトランジスタ形成領域228に形成されるドレイン領域255及びソース領域256の形成深さを、ドレイン状態時のドレイン/ソースからの空乏層253が埋め込み酸化膜242に到達しないように設定して、電気的チャネル形成領域257の電位固定を行えるようにしている。

[0298] なお、トランジスタ形成領域227及び228に形成される2種類のドレイン/ソース領域は、ソース/ドレイン形成時の不純物の注入エネルギーを変化させたり、NUDC (Non Uniformly Doped Channel) の注入量を変化させることで実現できる。

[0299] また、ドレイン状態時に空乏層が埋め込み酸化膜242に到達しない程度の深さのソース/ドレイン領域を形成した後、トランジスタ形成領域227側のソース/ドレイン領域に対してのみ形成深さが深くなるように、再度不純物の追加注入を行うことによっても実現できる。

[0300] <<実施形態20>>

<第1の態様>図95はこの発明の実施形態20であるSOI構造の半導体装置の第1の態様の構造を示す断面図である。同図に示すように、シリコン基板1及び埋め込み酸化膜2上のSOI層3にn⁺領域261、26

2を選択的に取り、n⁺領域261、262間にp⁺領域263及び酸化膜264からなる部分分離領域を設けている。そして、n⁺領域261、262、p⁺領域263及び酸化膜264からなるフールトランジスタを構成している。なお、フールトランジスタは、MOSトランジスタのゲート部(ゲート酸化膜、ゲート電極)に置き換えて酸化膜を設けた構造を呈している。

[0301] このように第1の態様は、p⁺領域263及び酸化膜264からなる部分分離領域を用いてフールトランジスタを構成して用いる。フールトランジスタは保護回路用素子等に用いられる。

[0302] 実施形態20のフールトランジスタのゲート部の構成は部分分離領域と基本的に同じ構成であるため、部分分離領域と同時にゲート部を構成することにより、比較的容易にフールトランジスタを形成することができる。

[0303] 図96は回路の入力部におけるフールトランジスタ利用例を示す回路図である。同図に示すように、フールトランジスタQ31の一方電極が外部入力端子P1に接続され他方電極が接地される。また、電源、接地間にフールトランジスタQ33を設けている。なお、他の構成は図86で示し回路構成と同様であるため、説明は省略する。

[0304] このように、フールトランジスタQ31によって外部入力端子P1、接地レベル間の保護、フールトランジスタQ33によって電源、接地レベル間の寄生ダイオードパスを設けている。

[0305] 図97は回路の出力部におけるフールトランジスタ利用例を示す回路図である。同図に示すように、フールトランジスタQ32の一方電極が外部出力端子P4に接続され他方電極が接地される。また、電源、接地間にフールトランジスタQ34を設けている。なお、他の構成は図87で示し回路構成と同様であるため、説明は省略する。

[0306] このように、フールトランジスタQ32によって外部出力端子P4、接地レベル間の保護、フールトランジスタQ34によって電源、接地レベル間の寄生ダイオードパスを設けている。

[0307] なお、フールトランジスタは図95に示すようにNMO5類似構造が電気能力が高いと望ましいが、PMOS類似構造を用いても良い。この場合、フールトランジスタQ31、Q32の代わりに、電源と外部入力端子P1との間にフールトランジスタを設ける必要がある。

[0308] <第2の態様>図98はこの発明の実施形態20であるSOI構造の半導体装置の第2の態様の構造を示す断面図である。同図に示すように、n⁺領域261、262の周囲を完全酸化膜265によって完全分離している。他の構成は図95で示した第1の態様と同様であるため、説明を省略する。

[0309] 第2の態様は、フールトランジスタ全体を完全酸化膜265で囲っているため、雑音遮断などにおいて大きな効果が期待できる。また、フールトランジスタを保護回路として用いる際、他の構成素子への電流の寄生パスを流すに防ぐことができる。

[0310] <第3の態様>図99はこの発明の実施形態20であるSOI構造の半導体装置の第3の態様の構造を示す断面図である。図99に示すように、n⁺領域261、262を交互に配置し、各n⁺領域261、262を酸化膜264及びp⁺領域263によって部分分離し、周囲全体を完全酸化膜265によって完全分離している。

[0311] 複数のn⁺領域261は共通に接続端子P1に接続され、複数のn⁺領域262は共通に接続端子P12に接続される。このように、偏極構造で配置された複数のn⁺領域261及び262を電気的に並列に接続することにより、放電能力を高めることができる。

[0312] <その他>なお、フールトランジスタのソース/ドレイン領域(n⁺領域261、262)を埋め込み酸化膜265に到達させることなく、空乏層が埋め込み酸化膜265に到達するレベルの深さに形成しても良い。

[0313] <<補足>>ソース/ドレイン領域を埋め込み酸化膜に到達させるために、通常の手法として不純物の注入深さを十分深くしてソース/ドレイン領域を形成し、不純物のピークが深い不純物注入の後に不純物ピークが深い不純物注入を行うようにしても良い。

[0314] しかしながら、上記した方法では、図85に示す実施形態14の第1の態様のようにソース/ドレイン領域の浅い部分に不純物濃度のピークをもたせかつSOI層3を貫通する深さで不純物分布をもたせることができない。

[0315] そこで、注入角度を0度近傍に注入エネルギーを十分小さくして不純物のイオン注入を行う等の方法を適用することにより、不純物ピークは図1000の1で示すようにSOI層3の比較的浅い位置に設定するとともに、チャネリング現象によるテールプロファイルによって、図1000の2で示す不純物分布のように、不純物がSOI層3を貫通して埋め込み酸化膜242に到達するように分布させることができる。

[0316]

[発明の効果] 以上説明したように、この発明における請求項1記載の半導体装置において、素子分離領域のうち少なくとも1つの領域は、上部部に設けられた部分絶縁領域と下部部に存在するSOI層の一部である半導体領域とから構成される部分分離領域を含み、半導体領域は複数の素子形成領域の少なくとも1つの領域及びボジヤ領域と接して形成されるため、部分絶縁領域により複数の素子形成領域を絶縁分離するとともに、上記少なくとも1つの素子形成領域を上記半導体領域及び上記ボジヤ領域によって電位固定することができる。

[0317] その結果、上記少なくとも1つの素子形成領域の基板寄生効果を低減したSOI構造の半導体装置を得ることができる。

[0318] 請求項2記載の半導体装置において、複数の第1の素子形成領域はそれぞれ部分分離領域によって素子分離され、複数の第2の素子形成領域はそれぞれ部分分離領域によって素子分離され、複数の第1の素子形成領域と複数の第2の素子形成領域とはSOI層を貫通した完全分離領域によって素子分離されるため、異なる素子間の素子形成領域を完全に絶縁分離するとともに、同一の素子内の素子形成領域の基板寄生効果を低減することができる。

[0319] 請求項3記載の半導体装置において、第1の回路用の複数の素子形成領域はSOI層を貫通した完全分離領域によって素子分離され、第2の回路用の複数の素子形成領域は部分分離領域によって素子分離される。

[0320] したがって、基板寄生効果の影響を重畳する回路は第2の回路とし、基板寄生効果を重畳しない回路は第1の回路として扱うことにより、形成する回路の性質に基づいた適切な絶縁分離を行うことができる。

[0321] 請求項4記載の半導体装置において、第1の部分SOI層の厚さは第2の部分SOI層の厚さよりも薄く形成され、複数の第1の回路用の素子形成領域は第1の部分SOI層に形成され、複数の第2の素子形成領域は第2の回路用の部分SOI層に形成される。

[0322] したがって、第1及び第2の部分SOI層の厚さの違いを利用して、第1の部分SOI層を貫通した完全分離用トレンチと第2の部分SOI層を貫通しない部分分離用トレンチを、第1及び第2の部分SOI層に対して同時に形成することができるため、製造工程の簡略化を図ることができる。

[0323] 請求項5記載の半導体装置において、所定の回路用素子形成領域と他の回路用素子形成領域とはSOI層を貫通した完全分離領域によって素子分離されるため、上記他の回路は所定の回路からの影響を完全に遮断することができる。

[0324] 請求項6記載の半導体装置において、部分分離領域によって素子分離された素子形成領域に形成される素子の活性領域のSOI層表面から形成深さは、部分分離領域による分離特性の劣化を最小限に抑えることができる。

[0325] 請求項7記載の半導体装置において、半導体領域はポリシリコン領域を含むため、半導体領域を精密度良く形成することができる。

[0326] 請求項8記載の半導体装置において、部分絶縁領域は低誘電率層を含むため、部分絶縁領域の容量値に基づくと不具合を最小限に抑えることができる。

[0327] 請求項9記載の半導体装置において、部分

51

絶縁領域は少なくとも側面に設けられた部分絶縁層とそれ以外の領域に設けられた低誘電率層とを含むため、部分絶縁領域の側面方向に形成される素子の影響が部分絶縁層によって効果的に抑制しなから、部分絶縁領域の容量値に基づいて不具合を抑えることができる。

【0328】請求項10記載の半導体装置における複数の素子分離領域の少なくとも1つの側面は所定の形成層で前記半導体基板の表面に外しはば垂直に延びて形成されるため、集電性を損なうことなく素子分離が行える。

【0329】この発明に係る請求項11記載の半導体装置のボディー領域は、複数の素子形成領域のうち、少なくとも1つの素子形成領域の表面あるいは表面に接するように形成されるため、上記少なくとも1つの素子形成領域を上記ボディー領域によって電位固定することができ

る。

【0330】請求項12記載の半導体装置において、ボディー領域は、SOI層下の埋め込み絶縁層の上層部に形成されるため、素子分離領域による素子分離特性と与える影響を最小限に抑えることができる。

【0331】請求項13記載の半導体装置において、ボディー領域は、埋め込み絶縁層を貫通して形成されるため、半導体基板面から上記少なくとも1つの素子形成領域を上記ボディー領域を介して電位固定することができ

る。

【0332】請求項14記載の半導体装置において、ボディー領域は、少なくとも1つの素子形成領域の上方に設けられ、少なくとも1つの素子形成領域の表面に接するため、比較的簡単に形成することができる。

【0333】請求項15記載の半導体装置は、素子分離領域のうち少なくとも一部の領域は、SOI層を貫通した完全絶縁領域と部分分離領域とが連続して形成される複合分離領域を含んでおり、複数の素子形成領域のうち複合分離領域によって分離される素子形成領域間は、複合分離領域の完全絶縁領域によって完全に絶縁分離することができ

る。

【0334】請求項16記載の半導体装置の部分分離領域の上面は凹凸なく均一に形成されるため、MOSTラジスタのゲート電極等の所定の素子の構成要素を形成する際のパターンシフトが容易になるという効果を得ることができる。

【0335】請求項17記載の半導体装置の複合分離領域の半導体領域の厚さは、SOI層の厚さの1/2以下に設定されるため、複合分離領域によって十分な分離特性を得ることができ

る。

【0336】請求項18記載の半導体装置の複合分離領域において完全絶縁領域の形成層は複合分離領域全体の形成層の1/2以下に設定されるため、複合分離領域を構成する部分分離領域の半導体領域の面積を十分確保でき、この半導体領域に接した素子形成領域の電位固定を安定性良く行うことができる。

【0337】請求項19記載の半導体装置の完全分離領域は少なくとも入出力NMOSTラジスタ形成領域と入出力PMOSTラジスタ形成領域との境界近傍領域に形成されるため、ラッチアップ現象を効果的に抑制することができ

る。

【0338】請求項20記載の半導体装置の完全分離領域は、入出力用トランジスタ形成領域と内部回路形成領域との間の境界近傍領域にさらに形成されるため、ノイズ影響を受けやすい入出力用トランジスタ形成領域の影響を内部回路形成領域から完全に遮断することができ

る。

【0339】請求項21記載の半導体装置の完全絶縁領域はNMOSTラジスタ形成領域と入出力PMOSTラジスタ形成領域との境界近傍のPMOSTラジスタ形成領域内である完全分離領域形成面所定にのみ形成され、部分分離領域はNMOSTラジスタ形成領域の周辺領域、及び完全分離領域形成面を除くNMOSTラジスタ形成領域の周辺領域に形成されるため、NMOSTラジスタの基板電位の固定を不足なく行い、NMOSTラジスタ形成領域を周囲からほぼ完全に分離することができ

る。

【0340】請求項22記載の半導体装置の部分分離領域はMOSTラジスタ形成領域のゲート電極の少なくとも一端近傍の部分分離領域形成面所定に形成され、完全絶縁領域は、部分分離領域形成面を除くMOSTラジスタ形成領域の周辺領域に形成されるため、MOSTラジスタのゲート電極下方のチャネル形成領域の電位固定を効果的に行いながら、完全分離領域によってMOSTラジスタ形成領域を周囲からほぼ完全に分離することができ

る。

【0341】請求項23記載の半導体装置のボディー領域は、周辺部分分離領域の周囲を囲って形成される第2の導電型の周辺ボディー領域を含むため、周辺ボディー領域を電位固定することによりトランジスタ形成領域を周囲から効果的に分離することができ

る。

【0342】請求項24記載の半導体装置のソース領域は、ボディー領域はNMOSTラジスタ形成領域のソース領域に隣接して形成され、電位設定領域によってソース領域と共通接続されるため、ソース領域に隣接してソース領域ボディー領域を形成できる分、集電性の向上を図ることができ

る。

【0343】請求項25記載の半導体装置の部分分離領域の半導体領域を構成する第1及び第2の部分半導体領域の不純物濃度を異なして設定することにより、部分分離領域による分離特性、基板汚染効果の低減化等に優れた半導体領域を得ることができ

る。

【0344】請求項26記載の半導体装置の比較的の不純物濃度が高い第1の部分半導体領域は複数の素子形成領域のうち分離対象の素子形成領域に隣接する周辺領域

53

を含むため、部分分離領域による分離によるパシスルー特性の向上を図ることができ

る。

【0345】請求項27記載の半導体装置の比較的の不純物濃度が高い第1の部分半導体領域はNMOSTラジスタ形成領域のゲート電極近傍領域を含む、比較的の不純物濃度が低い第2の部分半導体領域はNMOSTラジスタ形成領域のドレイン/ソース近傍領域を含むため、PN接合容量の低下とパシスルー特性の向上を図ることができ

る。

【0346】請求項28記載の半導体装置の部分分離領域における半導体領域の不純物濃度のピークが、MOSTラジスタ形成領域のドレイン/ソース領域の不純物濃度のピークより、SOI層の表面からの深さが深くなるように設定されるため、ドレイン/ソース領域と半導体領域との間のPN接合容量を高めることができる。

【0347】請求項29記載の半導体装置のNMOSTラジスタ形成領域のチャネル形成領域の不純物濃度のピークが、部分分離領域における半導体領域の不純物濃度のピークより、SOI層の表面からの深さが深くなるように設定されるため、NMOSTラジスタの閾値電圧が所望の値より大きくなるようにできる。

【0348】請求項30記載の半導体装置において、完全絶縁領域に隣接して形成される第1の部分半導体領域の不純物濃度をそれ以外の半導体領域である第2の部分半導体領域の不純物濃度よりも高く設定したため、SOI層にかかるとスミス等により発生する不具合を抑制することができ

る。

【0349】請求項31記載の半導体装置は、部分分離領域の表面における角部の曲率半径より底面における角部の曲率半径を大きくすることにより、分離領域の縮小を図りながらSOI層にかかるとスミス等と図っている

【0350】請求項32記載の半導体装置は、複合分離領域において、部分絶縁領域の底面における角部より絶縁分離領域と部分絶縁領域との間に生じる段差部の曲率半径を小さくすることにより、分離領域の縮小を図りながらSOI層にかかるとスミス等と図っている

【0351】請求項33記載の半導体装置において、完全分離領域はインタクチュラス形成領域の下方に形成されるため、インタクチュラス成分に付随する寄生容量の低減化を図ることができ

る。

【0352】請求項34記載の半導体装置のボディー領域はNMOSTラジスタ形成領域に形成されるNMOSTラジスタのゲート電極に電気的に接続されるゲート接続ボディー領域を含む、部分分離領域はNMOSTラジスタ形成領域の周囲を囲って形成されるため、ゲート電極とゲート接続ボディー領域とを同一電位に設定するD

T-MOSTラジスタの性能向上を図ることができ

【0353】請求項35記載の半導体装置の素子の活性

54

領域の形成深さはドレイン状電極に素子の活性領域から伸びる空乏層が埋め込み絶縁層に到達しないレベルに設定されるため、部分分離領域の半導体領域と活性領域との間の接合容量の低減化を図ることができ

る。

【0354】請求項36記載の半導体装置のフールトランジスタは、第1及び第2の活性領域間に形成され、上層部に設けられたフールトランジスタ用部分絶縁領域と下層部に存在するSOI層の一部であるフールトランジスタ用半導体領域とから構成されるゲート部により構成される。

【0355】ゲート部の構成は部分分離領域と基本的に同じ構成であるため、部分分離領域と同時にゲート部を構成することにより、比較的容易にフールトランジスタを形成することができ

る。

【0356】請求項37記載の半導体装置の周辺素子分離領域は、上層部に設けられた部分絶縁領域と下層部に存在するSOI層の一部である半導体領域とから構成される部分分離領域を含む、上記部分分離領域の半導体領域は複数の素子形成領域の少なくとも1つの領域と接して形成されるとともにフローラック状態に設定されるため、部分絶縁領域により素子形成領域を周囲から分離するとともに、上記少なくとも1つの領域内で電界電圧により発生するキャリアや宇宙線によって発生する電荷等を上記半導体領域に分散させることができるため、電位上昇を抑え、ソフトエラー耐性の向上させることができる。

【0357】この発明に係る請求項38記載の半導体装置の製造方法によって形成される半導体装置において、複数の素子形成領域のうち、少なくとも1つのトレンチ内の絶縁層とその下方のSOI層とによって素子分離される素子形成領域に対し、基板汚染効果を抑えた素子分離がなされる。

【0358】請求項39記載の半導体装置の製造方法によつて形成される複数の素子形成領域は、第1のトレンチ内の絶縁層とその下方のSOI層とによって基板汚染効果を抑えた素子分離がなされるとともに、SOI層を貫通した第2のトレンチ内の絶縁層によって完全な素子分離がなされる。

【0359】請求項40記載の半導体装置の製造方法は、第1及び第2のトレンチ間の形成層の違いを利用して、側壁をマスクとして第2のトレンチの中心部下のSOI層を貫通させることにより、レジストを用いることなく部分分離領域と完全分離領域とを選択的に形成することができ

る。

【0360】請求項41記載の半導体装置の製造方法は、複数のトレンチの下方のSOI層に不純物を導入して高濃度領域を形成することにより、高濃度領域を介して高濃度領域に接する素子形成領域を安定性良く電位固定することができ

る。

【0361】この発明に係る請求項42記載の半導体装

55 層の製造方法は、シリコン層とエピタキシャル成長層とによりSOI層を構成するため、結晶性の良いSOI層を形成することができ、

【0362】この発明に係る請求項4記載の半導体装置の製造方法は、第1のトレンチ内の絶縁層と第1のトレンチ内に残存したポリシリコン層とにより部分分離領域を形成している。したがって、素子形成領域と電気的に接続するポリシリコン層の厚さを制御しやすく形成することができ、

【0363】この発明に係る請求項4記載の半導体装置の製造方法は、埋め込み絶縁層に形成された穴部をポリシリコン層で埋め、少なくとも1つの素子形成領域と電気的接続関係を有するボテラー領域を形成している。【0364】したがって、ボテラー領域は、SOI層下の埋め込み絶縁層に形成されるため、素子形成領域による絶 分離に与える悪影響を最小限に抑えることができて、

【0365】請求項45記載の半導体装置の製造方法は、少なくとも1つの素子形成領域の絶縁層面からエピタキシャル成長させたエピタキシャル成長層とポリシリコン層とからなるボテラー領域を形成している。

【0366】したがって、エピタキシャル成長層を介している分、上記少なくとも1つの素子形成領域に形成される素子とポリシリコン層との距離を十分とすることができ、良好な電気的特性を得ることができ、

【0367】請求項46記載の半導体装置の製造方法は、SOI層の上層部に濃度分布のピークが存在し、かつチャネリング現象が生じようとする所の導電型の不純物を導入して所定の素子の活性領域を形成するステップを含むため、SOI層の上層部に不純物濃度のピークを存在させながら、チャネリング現象により埋め込み絶縁層の表面に於いて不純物が分布する所定の素子の活性領域を得ることができ、

【0368】この発明における請求項47記載の半導体装置の製造方法は、ステップ(h)、(c)を行うことにより、結合分離領域使用の複合トレンチと部分分離領域使用の非貫通トレンチとを同時に形成することができ、

【0369】請求項48記載の半導体装置の設計方法は、ステップ(c)で、過去データにおけるウエル領域の外面近傍領域に、SOI層を貫通する完全絶縁領域からなる完全分離領域を設定するため、過去データを有効に活用して第1及び第2のMOSトランジスタの形成領域間を効果的に分離する完全分離領域を設定することができ、

【図面の簡単な説明】

【図1】この発明の実施の形態1であるSOI構造の半導体装置の第1の態様を示す断面図である。

【図2】 実施の形態1の第1の態様を示す断面図である。

【図3】 実施の形態1の第1の態様の平面図である。

【図4】 実施の形態1の第2の態様の構造を示す断面図である。

【図5】 実施の形態2の第1の態様を示す断面図である。

【図6】 実施の形態2の第2の態様を示す断面図である。

【図7】 実施の形態2の第3の態様を示す断面図である。

【図8】 実施の形態2における素子分離工程（その1）を示す断面図である。

【図9】 実施の形態2における素子分離工程（その2）を示す断面図である。

【図10】 実施の形態2における素子分離工程（その1）を示す断面図である。

【図11】 実施の形態2における素子分離工程（その2）を示す断面図である。

【図12】 高濃度ウエル領域形成工程を示す断面図である。

【図13】 高濃度ウエル領域形成工程を示す断面図である。

【図14】 実施の形態2における素子分離工程（その2）を示す断面図である。

【図15】 実施の形態2における素子分離工程（その2）を示す断面図である。

【図16】 実施の形態2における素子分離工程（その2）を示す断面図である。

【図17】 実施の形態2における素子分離工程（その2）を示す断面図である。

【図18】 実施の形態2における素子分離工程（その2）を示す断面図である。

【図19】 実施の形態2における素子分離工程（その3）を示す断面図である。

【図20】 実施の形態2における素子分離工程（その3）を示す断面図である。

【図21】 実施の形態2における素子分離工程（その3）を示す断面図である。

【図22】 実施の形態2における素子分離工程（その3）を示す断面図である。

【図23】 実施の形態2における素子分離工程（その4）を示す断面図である。

【図24】 実施の形態2における素子分離工程（その4）を示す断面図である。

【図25】 実施の形態2における素子分離工程（その4）を示す断面図である。

【図26】 実施の形態2における素子分離工程（その4）を示す断面図である。

【図27】 実施の形態2における素子分離工程（その4）を示す断面図である。

【図28】 実施の形態3の第1の態様を示す断面図である。

【図29】 実施の形態3の第2の態様を示す断面図である。

【図30】 実施の形態4のSOI構造を示す断面図である。

【図31】 実施の形態4のSOI構造を示す断面図である。

【図32】 実施の形態4の他のSOI構造を示す断面図である。

【図33】 実施の形態4における素子分離工程を示す断面図である。

【図34】 実施の形態4における素子分離工程を示す断面図である。

【図35】 実施の形態4における素子分離工程を示す断面図である。

【図36】 実施の形態4における素子分離工程を示す断面図である。

【図37】 実施の形態4における素子分離工程を示す断面図である。

【図38】 実施の形態5の第1の態様を示す断面図である。

【図39】 実施の形態5の第2の態様を示す断面図である。

【図40】 実施の形態5の第3の態様を示す断面図である。

【図41】 実施の形態6の第1の態様を示す断面図である。

【図42】 実施の形態6の第2の態様を示す断面図である。

【図43】 実施の形態6における接続領域形成工程（その1）を示す断面図である。

【図44】 実施の形態6における接続領域形成工程（その1）を示す断面図である。

【図45】 実施の形態6における接続領域形成工程（その1）を示す断面図である。

【図46】 実施の形態6における接続領域形成工程（その2）を示す断面図である。

【図47】 実施の形態6における接続領域形成工程（その2）を示す断面図である。

【図48】 実施の形態6における接続領域形成工程（その2）を示す断面図である。

【図49】 実施の形態6における接続領域形成工程（その3）を示す断面図である。

【図50】 実施の形態6における接続領域形成工程（その3）を示す断面図である。

【図51】 実施の形態6における接続領域形成工程（その3）を示す断面図である。

【図52】 実施の形態6の第3の態様を示す断面図である。

【図53】 実施の形態6の第4の態様を示す断面図である。

【図54】 実施の形態6の第5の態様を示す断面図である。

【図55】 実施の形態2の第4の態様を示す断面図である。

【図56】 実施の形態2の第5の態様を示す断面図である。

【図57】 実施の形態2の第6の態様を示す断面図である。

【図58】 実施の形態2における素子分離工程（その5）を示す断面図である。

【図59】 実施の形態2における素子分離工程（その5）を示す断面図である。

【図60】 実施の形態2における素子分離工程（その5）を示す断面図である。

【図61】 実施の形態2における素子分離工程（その5）を示す断面図である。

【図62】 実施の形態2における素子分離工程（その5）を示す断面図である。

【図63】 実施の形態7による完全分離領域の形成方法を示す説明図である。

【図64】 ラッチアップ現象説明用の説明図である。

【図65】 実施の形態8の第1の態様を示す断面図である。

【図66】 入力回路の一例を示す回路図である。

【図67】 出力回路の一例を示す回路図である。

【図68】 実施の形態8の第2の態様を示す断面図である。

【図69】 実施の形態8の第3の態様を示す断面図である。

【図70】 実施の形態9の第1の態様を示す断面図である。

【図71】 図70のA-A断面を示す断面図である。

【図72】 実施の形態9の第2の態様を示す断面図である。

【図73】 図72のB-B断面を示す断面図である。

【図74】 実施の形態10の第1の態様を示す断面図である。

【図75】 実施の形態10の第2の態様を示す断面図である。

【図76】 実施の形態11の第1の態様を示す断面図である。

【図77】 実施の形態11の第2の態様を示す断面図である。

【図78】 実施の形態12の第1の態様を示す断面図である。

【図79】 図78のC-C断面を示す断面図である。

【図80】 実施の形態12の第2の態様を示す断面図である。

【図81】 図80のC-C断面を示す断面図である。

【図82】 実施の形態12の第3の態様を示す断面図である。

である。

【図83】 実施の形態13を示す断面図である。

【図84】 実施の形態14の第1の態様の特徴を示す説明図である。

【図85】 実施の形態14の第2の態様の特徴を示す説明図である。

【図86】 実施の形態15の第1の態様を示す断面図である。

【図87】 実施の形態15の第2の態様を示す断面図である。

【図88】 実施の形態16の第1の態様を示す断面図である。

【図89】 実施の形態16の第2の態様を示す断面図である。

【図90】 実施の形態17の第1の態様を示す断面図である。

【図91】 実施の形態17の回路構成を示す回路図である。

【図92】 実施の形態17の第2の態様を示す断面図である。

【図93】 実施の形態18のDT-MOSを示す断面図である。

【図94】 実施の形態19を示す断面図である。

【図95】 実施の形態20の第1の態様を示す断面図である。

【図96】 実施の形態20のフールトランジスタの入力回路への利用例を示す回路図である。

【図97】 実施の形態20のフールトランジスタの出力回路への利用例を示す回路図である。

【図98】 実施の形態20の第2の態様を示す断面図*30

*である。

【図99】 実施の形態20の第3の態様を示す断面図である。

【図100】 フレイン/ソース領域の不純物分布を示す説明図である。

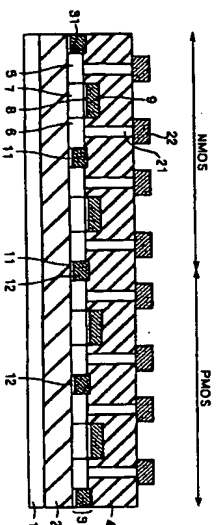
【図101】 図74のE-E断面を示す断面図である。

【図102】 従来のSOI構造の半導体装置を示す断面図である。

【符号の説明】

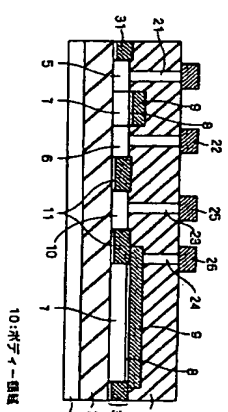
1 シリコン基板、2 埋め込み酸化膜、3 SOI層、3A、3B 部分SOI層、4 層間絶縁膜、5、5s、5t、245、255 フレイン領域、6、6s、6t、246、256 ソース領域、7 チナネル形成領域、8 ゲート酸化膜、9 ゲート電極、10、20、146、147、156、164 ボディー領域、11 ウェル領域(P型)、12、28 ウェル領域(n型)、31 部分酸化膜、32 完全酸化膜、3、3、210~212、218 酸化膜、44、44A、44B 部分トレンチ、48 完全トレンチ、61、62 ポリシリコン領域、75~77 低誘電率膜、7、8、79 シリコン酸化膜、80、86~89 接合領域、104 nウェル領域、105、110、114、115、120 完全分離領域、107、117、127、137、148 部分分離領域、149 フローティング部分分離領域、150 フローティングボディー領域、182、224 ウェル領域、189 スパイク領域、200 高抵抗シリコン基板、22 3 高抵抗領域、Q21、Q22 テラログ回路用トランジスタ。

【図1】

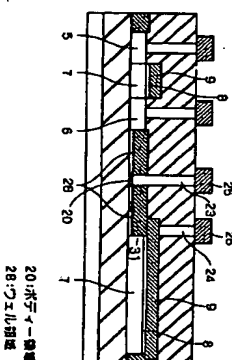


1:シリコン基板
2:埋め込み酸化膜
3:SOI層
4:層間絶縁膜
5:フレイン領域
6:ソース領域
7:チナネル形成領域
8:ゲート酸化膜
9:ゲート電極
10:ウェル領域(n型)
11:ウェル領域(p型)
12:部分酸化膜

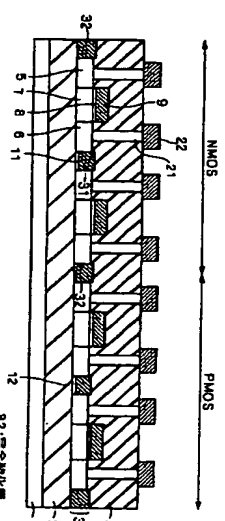
【図2】



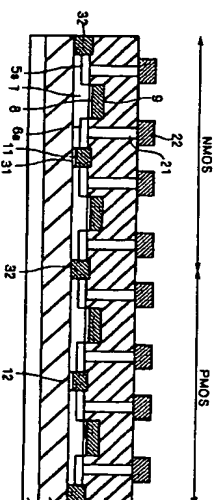
【図4】



【図5】

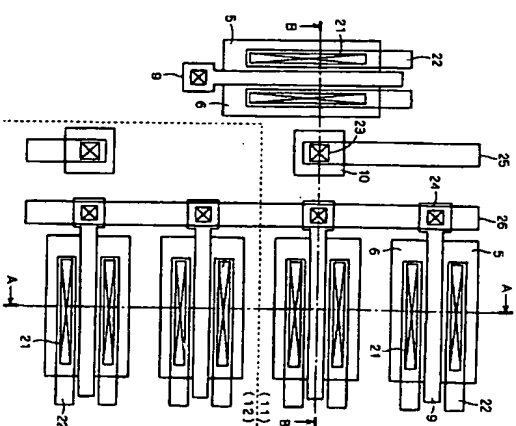


【図6】

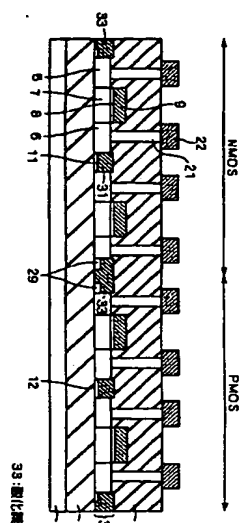


5s:フレイン領域
6s:ソース領域

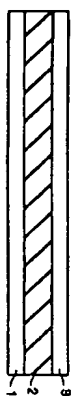
【図3】



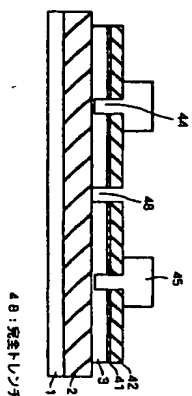
【図7】



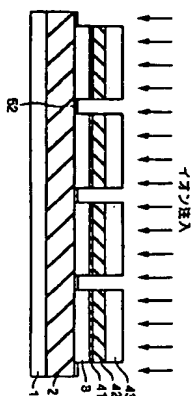
【図8】



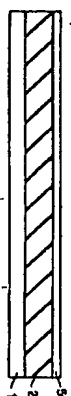
【図10】



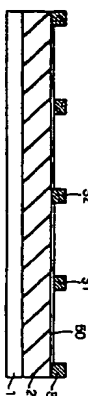
【図12】



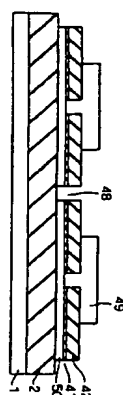
【図14】



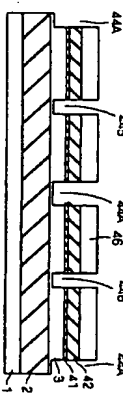
【図17】



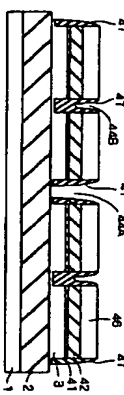
【図16】



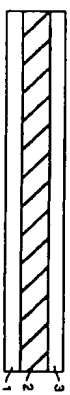
【図19】



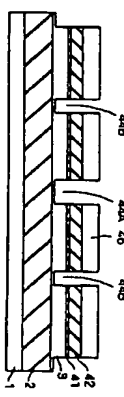
【図21】



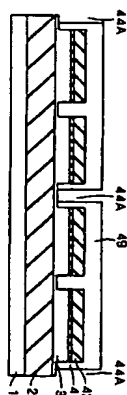
【図23】



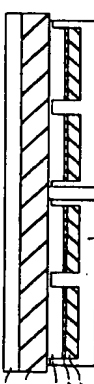
【図24】



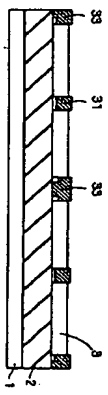
【図25】



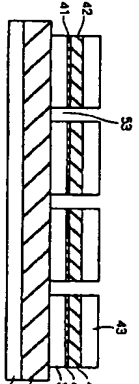
【図26】



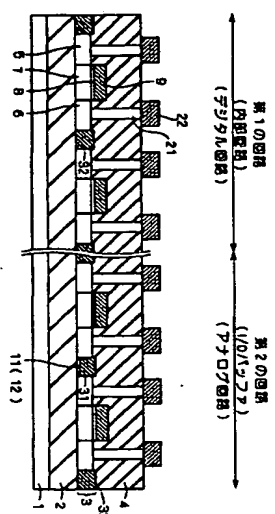
【図27】



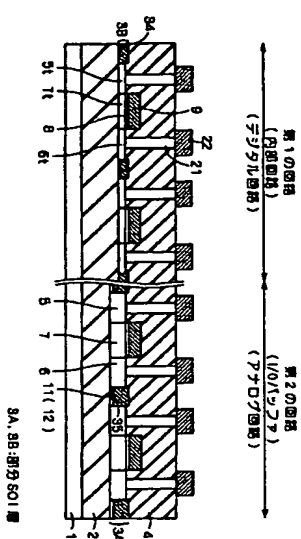
【図33】



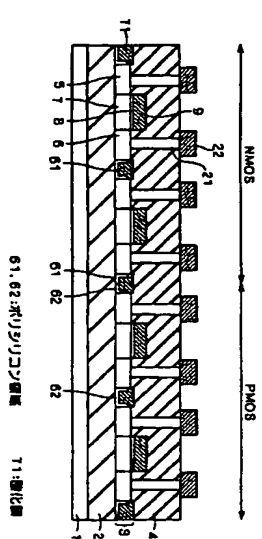
【図28】



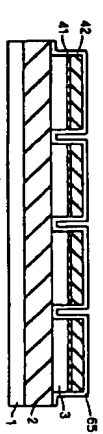
【図29】



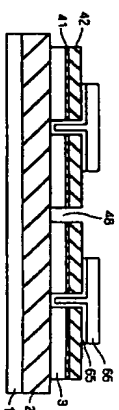
【図30】



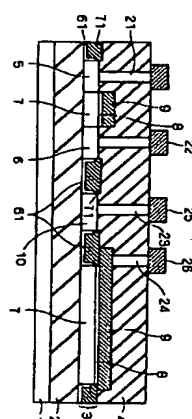
【図34】



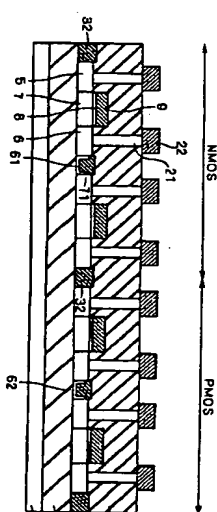
【図35】



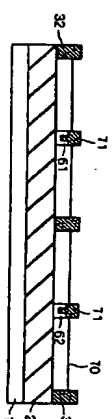
【図31】



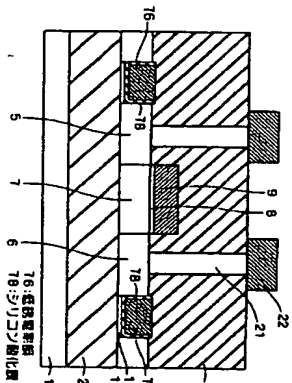
【図32】



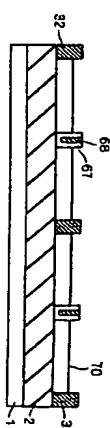
【図37】



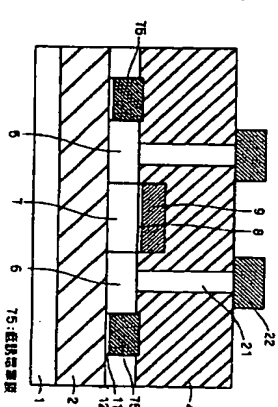
【図39】



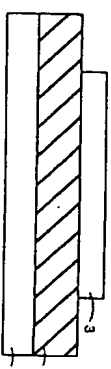
【図36】

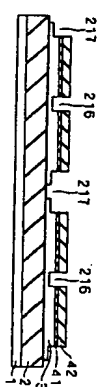
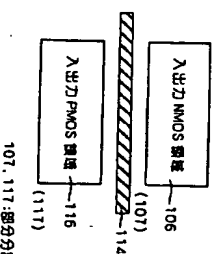
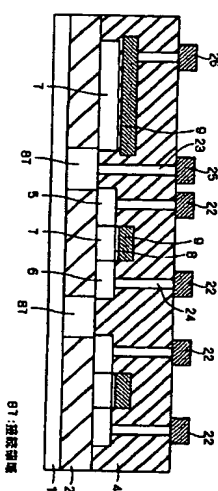
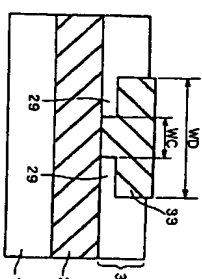
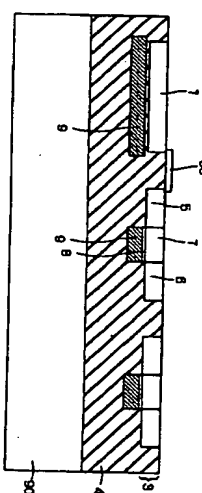
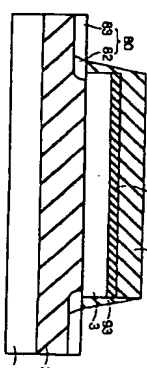
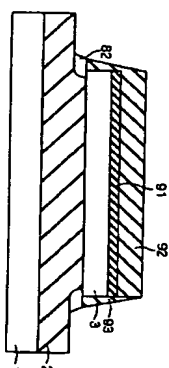
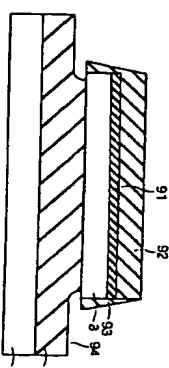
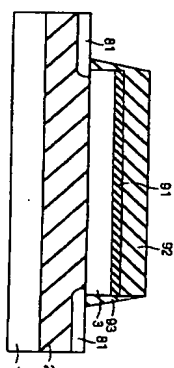
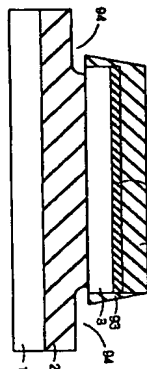
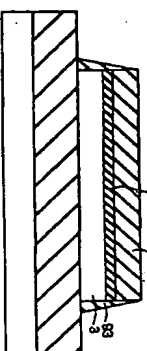
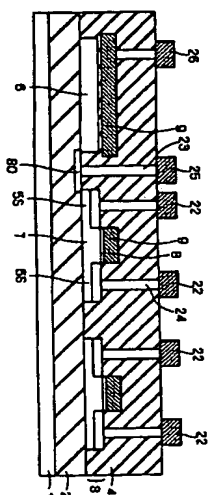
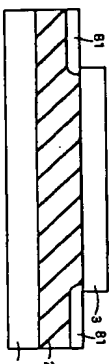
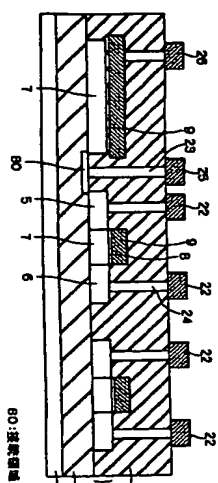
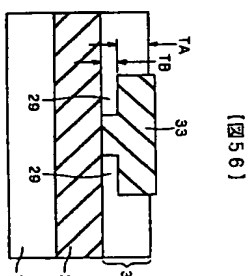
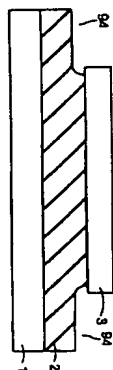
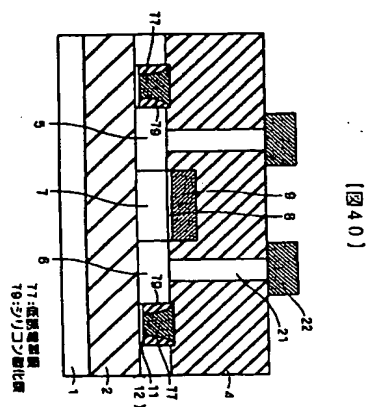


【図38】

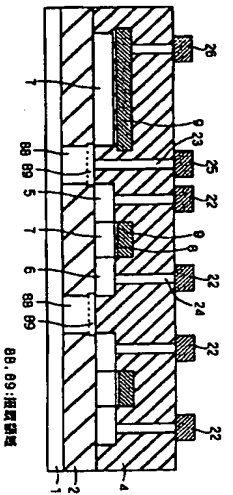


【図43】

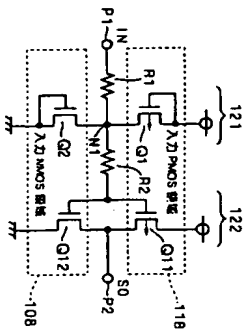




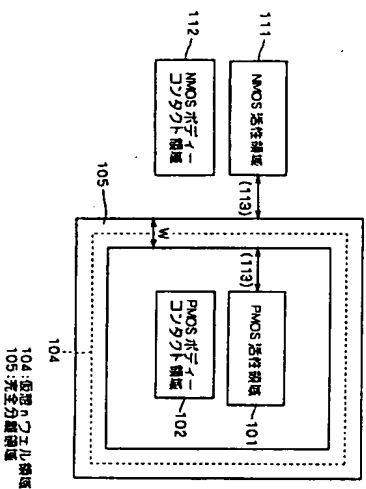
【図54】



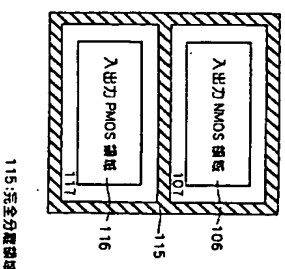
【図66】



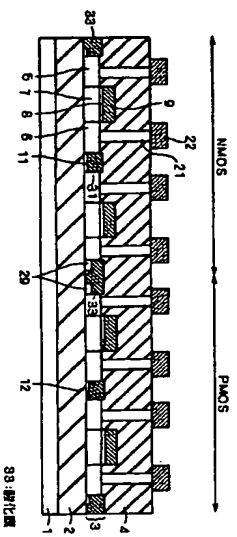
【図63】



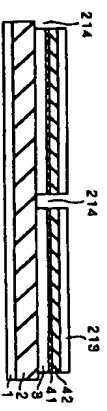
【図68】



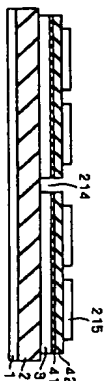
【図55】



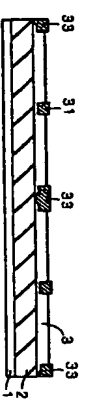
【図59】



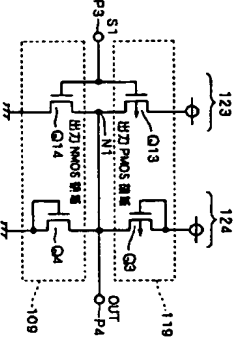
【図60】



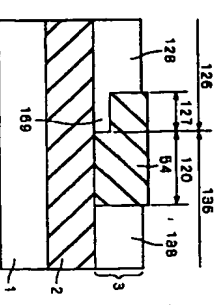
【図62】



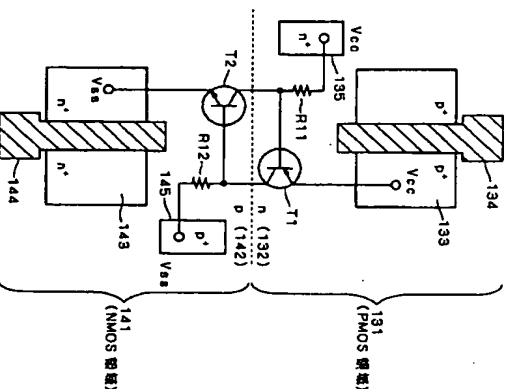
【図67】



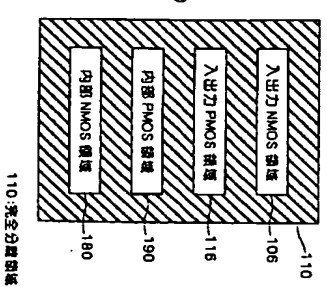
【図71】



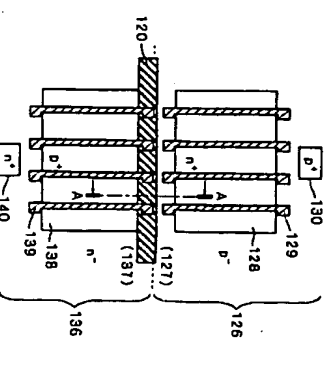
【図64】



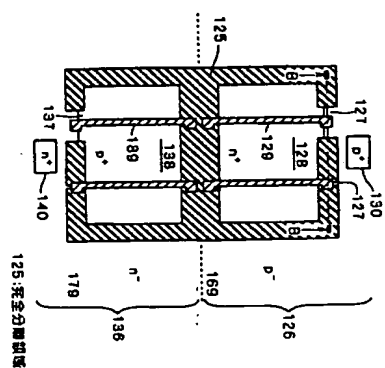
【図69】



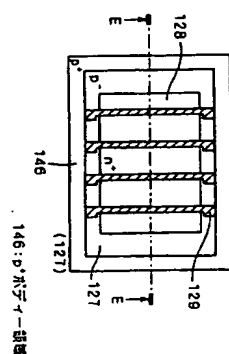
【図70】

120:完全分層構造
127, 137:部分分層構造

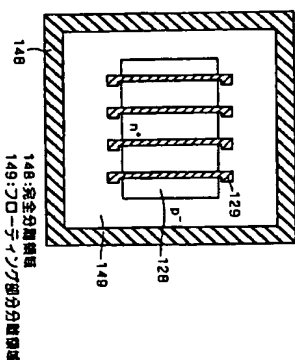
【図72】

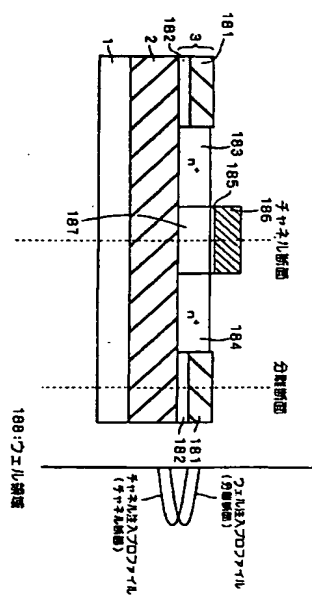


【図74】

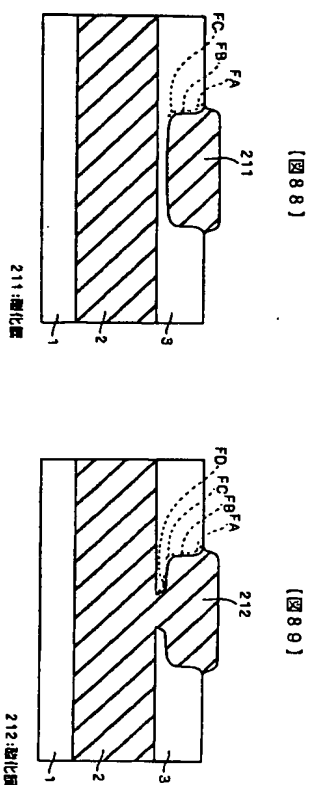


【図76】



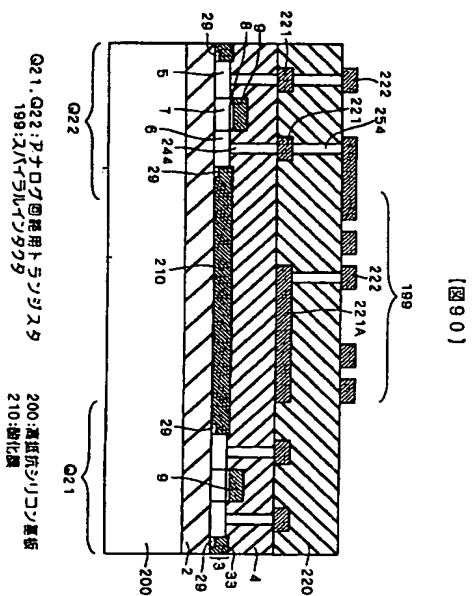


【圖 85】



【888】

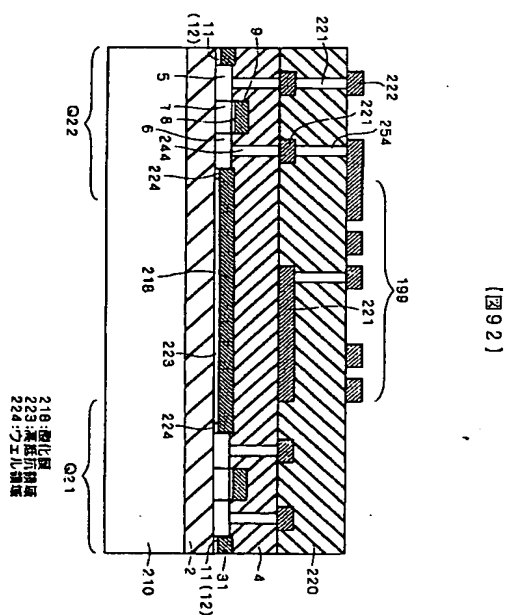
【88圖】



(0690)

Q21. Q22: プナログ回路用トランジスタ
199: スパルペンタラ

200:高抵抗シリコン基板
210:酸化膜

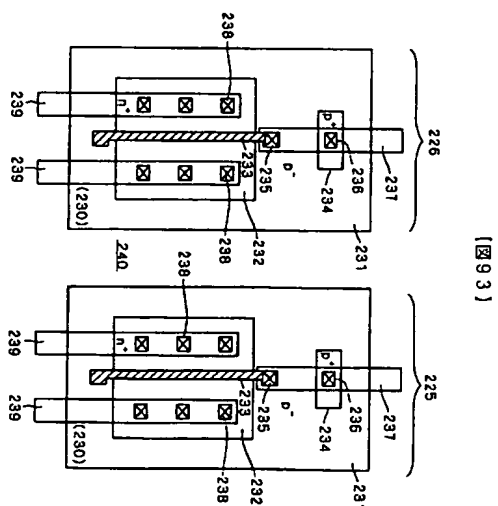


【92】

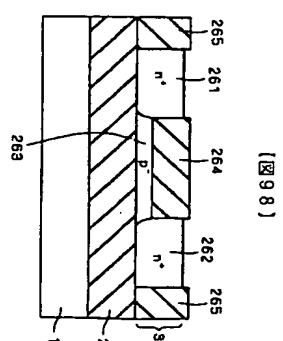
218:酸化膜
223:蒸気抗腐蝕
224:ウエル保護

223: 美盛山積草
224: ウエル積草

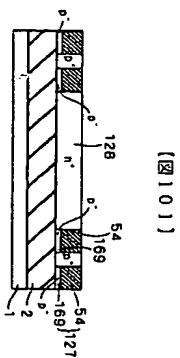
223: 美盛山積草
224: ウエル積草



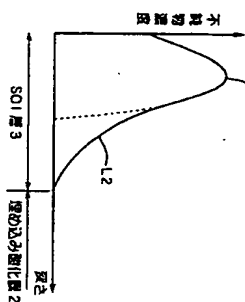
【図93】



【图98】

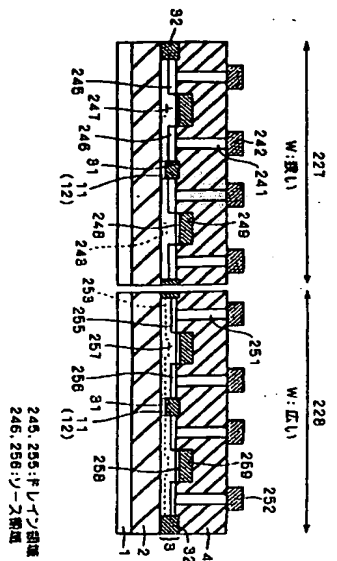


【101】

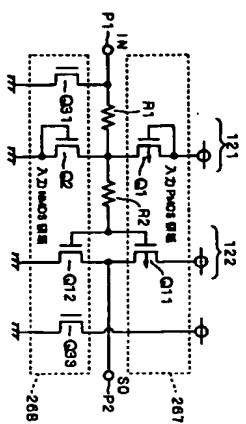


【00100】

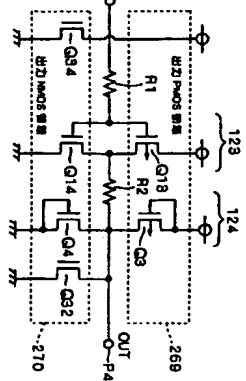
【図94】



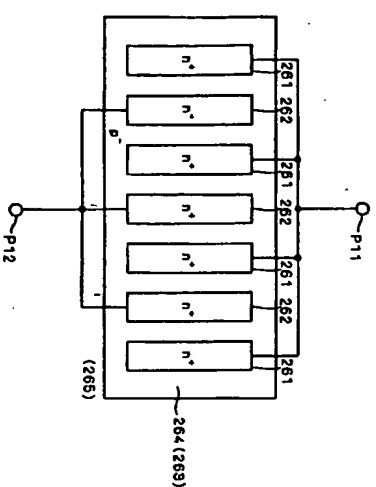
【図96】



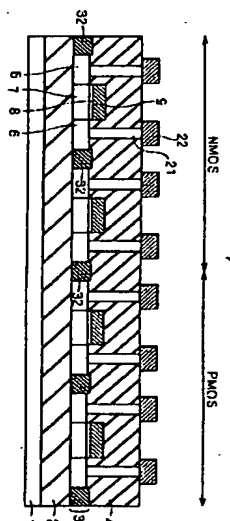
【図97】



【図98】



【図102】



フロントページの続き

- | | | | |
|---------|-----------------------------|---------|--------------------------------|
| (72)発明者 | 一法師 隆志 | (72)発明者 | 宮本 昭一 |
| | 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 | | 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 |
| (72)発明者 | 岩松 俊明 | | Fターム(参考) |
| | 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 | | 5F032 AA01 AA07 AA34 AA44 AA77 |
| (72)発明者 | 前田 茂伸 | | BA03 BA06 CA17 CA20 CA21 |
| | 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 | | DA01 DA12 DA22 DA33 DA43 |
| (72)発明者 | 平野 有一 | | DA44 DA77 |
| | 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 | | 5F048 AA00 AA03 AB03 AB06 AB07 |
| (72)発明者 | 松本 拓治 | | AB10 AC04 AC10 BA09 BB03 |
| | 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 | | BB15 BC11 BC16 BC01 BC07 |
| | | | BC14 CC01 CC15 CC19 |
| | | | 5F110 AA15 AA21 BB04 CC02 DD05 |
| | | | DD13 DD24 FF02 GG02 GG12 |
| | | | GG24 HK05 HL03 HM02 NM02 |
| | | | NM13 QD30 |